

ACM32H5xx 数据手册

ARM Star-MC1 内核 32 位微控制器, 420KB SRAM、DMA、USB、SPI、OSPI、FMC(NORSRAM/SDRAM/NAND)、SDMMC、UART、LPUART、FDCAN、ETHMAC、DCMI、LTDC、DMA2D、I2C、I2S、TIMER、WDT、IWDT、RTC、ADC、DAC、MDAC、TS、COMP、TKEY、TRNG、AES256、SM2、SM3、SM4、OTFDEC、CRC、SHA1/256、CORDIC、CDE、内部叠封最大 8MB-FLASH/64MB-SDRAM/8MB-PSRAM

版本: V1.2

日期: 2024-10-10



上海航芯电子科技股份有限公司

1. 产品特性

■ 内核处理器

- 最高 220MHz 系统工作频率
- 基于 ARMv8-M 架构的 Star MC1 内核, 支持 Cortex-M33 和 Cortex-M4F 指令集
- 支持单精度浮点运算 (FPU) 和 DSP 扩展, 支持 32 位硬件乘法 (单周期) 和除法 (2~12 周期) 指令
- 支持 MPU 存储保护功能
- 16KB 指令缓存 (I-Cache) 及 16KB 数据缓存 (D-Cache), 支持 Flash 加速 0 等待执行程序
- 带 16 级优先级的 NVIC 中断控制器
- 24 位 SysTick 定时器

■ 存储器

- 32KB ROM
- 420KB SRAM
 - 352KB 系统 SRAM (192KB SRAM1 带 ECC、128KB SRAM2 不带 ECC、32KB SRAM3 带 ECC)
 - 32KB ITCM (指令紧密耦合 RAM), 可在最高系统时钟频率下以零等待周期寻址
 - 32KB DTCM (数据紧密耦合 RAM), 可在最高系统时钟频率下以零等待周期寻址
 - 4KB 备份 SRAM 带 ECC
- FMC (外部存储器控制器), 可扩展 SRAM、PSRAM、NOR/NAND FLASH、TFT LCD (8080/6080)、SDRAM (支持 16/32bit SDRAM, 内部叠封最大 64MB SDRAM), 时钟可达 110MHz
- 3 路 4 线 QSPI-MEM 接口 (SPI4/SPI7/SPI8)。1 路内部叠封最大 8MB NOR-FLASH, 2 路可扩展 NOR-FLASH/ NAND-FLASH/ PSRAM, 支持读写地址映射功能, 时钟可达 110MHz
- 2 路 8 线 OSPI-MEM 接口。1 路内部叠封最大 8MB PSRAM, 1 路可扩展 PSRAM/HyperRAM DRAM, 支持 Xccela OPI、APM OPI、HyperBus™、xOSPI 等协议, 支持读写地址映射功能
- 2 路 SD/SDIO/MMC 接口, 兼容 SD V3.01、SDIO V3.0、MMC V5.0、CE-ATA V1.1 版本

■ 时钟

- 内部 64MHz RC 振荡器
- 内部 32KHz RC 振荡器
- 4~32MHz 外部晶体振荡器
- 32.768KHz 外部晶体振荡器
- 内置 3 个 PLL, 其中 2 个支持扩频时钟 (SSC, Spread Spectrum Clocking), 优化 EMI; SSC 调制频率最大为 10KHz, 扩频比的范围为 0.25%~2%

■ 定时计数器

- 3 个 16 位高级定时器, 支持输入捕获/输出比较, 支持 PWM 输出/互补输出/死区插入/刹车/编码模式
- 14 个 16 位通用定时器, 支持 PWM 输出
- 4 个 32 位通用定时器, 支持 PWM 输出

- 4 个 16 位基本定时器
- 6 个低功耗定时器
- 1 个 64 位定时器
- RTC: 带日历功能, 支持 ALARM 功能, 支持 Tamper 检测功能
- 2 个看门狗: 独立看门狗 (IWDT)、系统看门狗 (WDT)

■ 系统安全及算法

- AES: 支持 AES128/192/256
- 国密算法: 支持 SM2、SM3、SM4
- HRNG: 真随机数发生器, 符合 FIPS140-2 要求
- CRC: CRC-7/-8/-16/-32, 特征多项式可配
- SHA: 支持 SHA-1/-256
- 支持 1 个在线解密模块 (OTFDEC); 2 路 QSPI-MEM 接口和 1 路 OSPI-MEM 接口支持 OTFDEC, 并且只能有 1 路在使用 OTFDEC
- 内置数学运算加速单元 (CORDIC), 支持 sin/cos/atan2/sinh/cosh/atanh/ln/sqrt 等运算
- CDE 自定义指令, 与内核深度集成, 支持字节拼接、按位倒序、CRC 计算、汉明距离计算、bit 统计、SM3/SM4 辅助算法、乘累加等运算, 执行时间在 1~2 个系统周期
- UID: 128 位设备唯一序列号
- LVD: 低电压检测, 可配置 8 阶比较电平
- 支持 Tamper 检测

■ DMA

- 2 个 8 通道 DMA 控制器
- 支持外设到存储器、存储器到外设、存储器到存储器的数据传输
- 支持 TIMER、UART、LPUART、SPI、OSPI、I2C、I2S、FDCAN、DCMI、ADC、DAC 等外设 DMA 访问

■ 通用 IO

- 多达 140 个 GPIO
- 所有 I/O 口可以映像到 16 个外部中断, 支持边沿/电平中断
- 多达 114 个 5V 容限 I/O 端口
- 多达 12 个 I/O 端口支持独立供电 (VDDIO2), 工作电压 1.62~3.6V

■ 通信接口

- UART: 10 路串口, 支持 IrDA、LIN, 硬件流控, 支持同步主模式, 支持 ISO7816 主机模式, 16 字节收发 FIFO (其中 2 路串口支持 64 字节接收 FIFO)
- LPUART: 1 路低功耗 UART, 支持 STOP 模式唤醒功能
- SPI: 5 路 SPI 接口, 支持主/从模式, 支持 Mode0/1/2/3 传输协议, 支持 1/2/4 线传输

- I2S: 3 路 I2S 接口, 全双工, 支持飞利浦、MSB、LSB、PCM 标准
- I2C: 4 路 I2C 接口, 可选择主/从模式, 支持 Standard/Fast/Fast-Plus 三种速率模式
- USB: 2 路高速 USB OTG, 内置 PHY, 专用 DMA、8KB SRAM; 其中一路支持 ULPI 接口外置 PHY
- FDCAN: 3 路 FDCAN
- ETH: 10/100M 以太网 MAC, 专用 DMA、4KB SRAM, 支持 IEEE1588, MII/RMII 接口

■ 图像

- DCMI: 1 路 8-14bit 数字摄像头接口
- LTDC: 支持 LCD-TFT RGB 显示
- DMA2D: 图像处理硬件加速器

■ 模拟外设

- ADC: 3 个 (33 通道) 12bits ADC,, 速率达 4Msps
- TS: 1 路温度传感器 (Temperature Sensor)
- DAC: 2 个 (4 通道) 通用的 12bits 电压型 DAC, 速率达 1Msps, 驱动电阻最小值: 对地电阻 5K Ω , 对 VDD 电阻 25K Ω
- MDAC: 多通道 DAC; 支持 12 路 12bits 电压型 DAC, 速率达 1Msps, 驱动电阻最小值: 对地电阻 5K Ω , 对 VDD 电阻 25K Ω ; 支持 4 路 10bits 电流型 DAC, 速率达 50Ksps, 驱动电流: 最大 31mA
- COMP: 1 路比较器
- TKEY: 支持 16 路触摸按键, 支持 CSA 和 CSD 两种技术方案

■ 电气参数

- ESD: 4KV (HBM); 500V (CDM)
- 工作电压: 2.97V~3.6V
- 工作温度: -40 $^{\circ}$ C~85 $^{\circ}$ C, 部分型号-40 $^{\circ}$ C~105 $^{\circ}$ C
- 典型功耗 (不包括叠封的存储器):
 - 工作功耗: 45mA@220MHz, 3.3V, 25 $^{\circ}$ C, 关闭外设时钟
 - SLEEP 模式: <12mA@3.3V, 25 $^{\circ}$ C
 - STOP 模式: <2mA@3.3V, 25 $^{\circ}$ C
 - STANDBY 模式: <5 μ A@ 3.3V, 25 $^{\circ}$ C
 - VBAT 模式: <25 μ A@3.3V, 25 $^{\circ}$ C

■ 封装形式

- LQFP100/ LQFP144/ LQFP176

■ 开发支持

- ROM BOOT、支持 USB/SPI/UART 下载

- DAP/ULINK2/J-LINK、SWD/JTAG 接口调试
- ARM Keil MDK (5.33 版本及以上)、IAR、RT-Thread Studio 开发环境
- 开发板/开发包, 支持 SWD 离线下载

2. 产品信息

本芯片采用高性能 ARMv8-M 架构 Star-MC1 内核，支持 Cortex-M33 和 Cortex-M4F 指令集。内核支持一整套 DSP 指令用于数字信号处理，支持单精度 FPU 处理浮点数据，同时还支持 Memory Protection Unit (MPU) 用于提升应用的安全性。

本芯片最高工作频率可达 220MHz，内置最大 420KB SRAM，外部存储接口 (QSPI、OSPI、FMC、SDMMC)。芯片集成了 12 位多通道 4 MSPS 高精度 ADC、12 位的电压型 DAC、10 位的电流型 DAC、比较器、温度传感器、触摸按键控制器、LCD-TFT 控制器，集成了高级定时器、通用 32/16 位定时器、基本定时器，系统看门狗、独立看门狗、低功耗的实时钟 (RTC)，内置多路 UART、LPUART、QSPI、I2C、I2S、FDCAN、高速 USB OTG 等丰富的通讯外设，内建 AES、SHA、CRC、CORDIC 等硬件算法加速引擎，内置硬件 TRNG、OTFDEC、UID 等信息安全系统。

应用场景

- 工业打印机
- 工业自动化
- 安防监控
- 光模块
- 无人机
- 消费电子
- 医疗保健

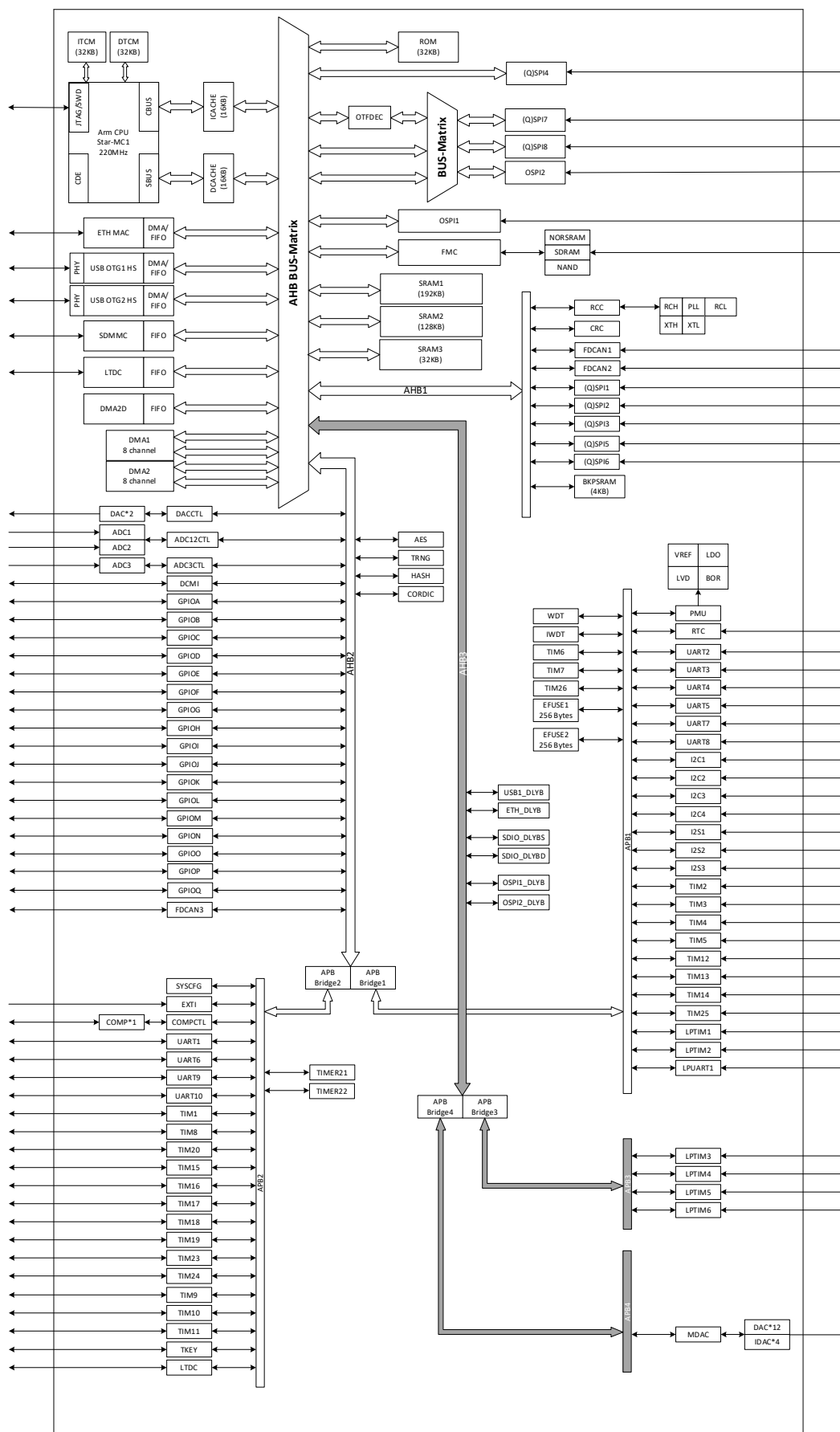
2.1. ACM32H5xx 系列芯片资源

表 2-1 ACM32H5xx 系列芯片资源表

Part Number		ACM32H528 VIT7-G	ACM32H538 VMT6-TM	ACM32H528 ZIT7-G	ACM32H538 ZMT6-TM	ACM32H528 IIT7-G
封装		LQFP100	LQFP100	LQFP144	LQFP144	LQFP176
最高主频		220MHz	220MHz	220MHz	220MHz	220MHz
内置存储	SRAM	352 KB	352 KB	352 KB	352 KB	352 KB
	BKPRAM	4 KB	4 KB	4 KB	4 KB	4 KB
	ITCM	32 KB	32 KB	32 KB	32 KB	32 KB
	DTCM	32 KB	32 KB	32 KB	32 KB	32 KB
	ROM	32 KB	32 KB	32 KB	32 KB	32 KB
	EFUSE	512 B	512 B	512 B	512 B	512 B
	QSPI-FLASH	2MB(SPI7)	4MB(SPI7)	2MB(SPI7)	4MB(SPI7)	2MB(SPI7)
	OSPI-PSRAM	No	8MB(OSPI2)	No	8 MB(OSPI2)	No
	FMC-SDRAM	No	No	No	No	No
外部存储接口	FMC-NORSRAM	16bit data	16bit data	16bit data	16bit data	32bit data
	FMC_NAND	Yes(缺 NCE/INT)	Yes(缺 NCE/INT)	Yes	Yes	Yes
	FMC-SDRAM	No	No	Yes	Yes	Yes
	QSPI-MEM	SPI4(缺 IO2/IO3), SPI8	SPI4(缺 IO2/IO3), SPI8	2(SPI4/8)	2(SPI4/8)	2(SPI4/8)
	OSPI-MEM	OSPI1	OSPI1	OSPI1	OSPI1	OSPI1
	SDMMC	2	2	2	2	2
DMA		2(8+8)	2(8+8)	2(8+8)	2(8+8)	2(8+8)
GPIO		82	82	114	114	140
Wakeup		3	3	3	3	5
Tamper		1	1	1	1	2
定时器	高级 TIM	3	3	3	3	3
	32 位通用 TIM	4	4	4	4	4
	16 位通用 TIM	14	14	14	14	14
	基本 TIM	4	4	4	4	4
	64 位 TIM	1	1	1	1	1
	低功耗 LPTIM	6	6	6	6	6
	SysTick	1	1	1	1	1
	WDT	1	1	1	1	1
	IWDT	1	1	1	1	1
	RTC	1	1	1	1	1
通讯接口	UART	10	10	10	10	10
	LPUART	1	1	1	1	1

Part Number		ACM32H528 VIT7-G	ACM32H538 VMT6-TM	ACM32H528 ZIT7-G	ACM32H538 ZMT6-TM	ACM32H528 IIT7-G
	QSPI(不含 QSPI-MEM)	4(SPI1/2/3/6)	4(SPI1/2/3/6)	5(SPI1/2/3/5/6)	5(SPI1/2/3/5/6)	5(SPI1/2/3/5/6)
	I2C	4	4	4	4	4
	I2S	3	3	3	3	3
	FDCAN	3	3	3	3	3
	ETHMAC	1	1	1	1	1
	USB OTG_HS	2	2	2	2	2
图像	DCMI	1	1	1	1	1
	LTDC	1	1	1	1	1
	DMA2D	1	1	1	1	1
模拟	12bit ADC	3(17ch)	3(17ch)	3(29ch)	3(29ch)	3(33ch)
	通用 DAC: 12bit 电压型	2(4ch)	2(4ch)	2(4ch)	2(4ch)	2(4ch)
	MDAC: 12bit 电压型	-	-	-	-	-
	MDAC: 10bit 电流型	-	-	-	-	-
	CMP	1	1	1	1	1
	TS 温度传感器	Yes	Yes	Yes	Yes	Yes
	TKEY	11CX (缺 CS)	11CX (缺 CS)	16CX	16CX	16CX
	POR/PDR/BOR	Yes	Yes	Yes	Yes	Yes
	LVD	Yes	Yes	Yes	Yes	Yes
	VBAT	Yes	Yes	Yes	Yes	Yes
时钟	RCH(64MHz)	Yes	Yes	Yes	Yes	Yes
	RCL(32KHz)	Yes	Yes	Yes	Yes	Yes
	XTH(4~32MHz)	Yes	Yes	Yes	Yes	Yes
	XTL(32KHz)	Yes	Yes	Yes	Yes	Yes
	PLL	Yes	Yes	Yes	Yes	Yes
算法及 安全	CDE	Yes	Yes	Yes	Yes	Yes
	CORDIC	Yes	Yes	Yes	Yes	Yes
	CRC	Yes	Yes	Yes	Yes	Yes
	AES256	Yes	Yes	Yes	Yes	Yes
	SHA1/256	Yes	Yes	Yes	Yes	Yes
	TRNG	Yes	Yes	Yes	Yes	Yes
	UID	Yes	Yes	Yes	Yes	Yes
ESD	HBM	4KV	4KV	4KV	4KV	4KV
	CDM	500V	500V	500V	500V	500V
工作电压		2.97~3.6V	2.97~3.6V	2.97~3.6V	2.97~3.6V	2.97~3.6V
工作温度	Ta	-40~105°C	-40~85°C	-40~105°C	-40~85°C	-40~105°C
	Tj	-40~125°C	-40~105°C	-40~125°C	-40~105°C	-40~125°C

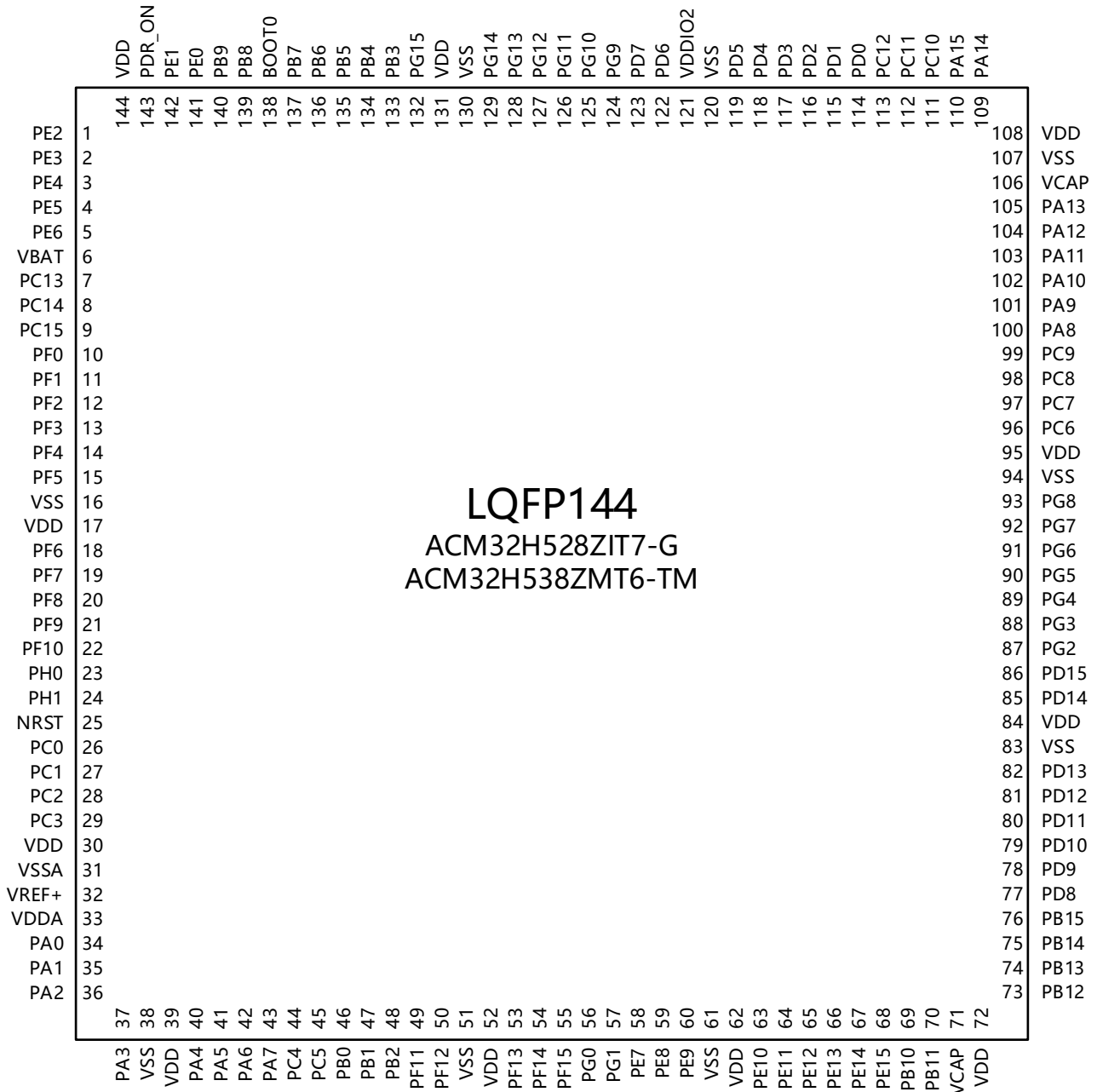
2.2. 模块框图



注：AHB1、AHB2 和 AHB3 的时钟频率一致且等于系统频率，APB1、APB2、APB3 和 APB4 的时钟频率由系统频率分频而来，分频比可独立配置。

3.1.2. LQFP144

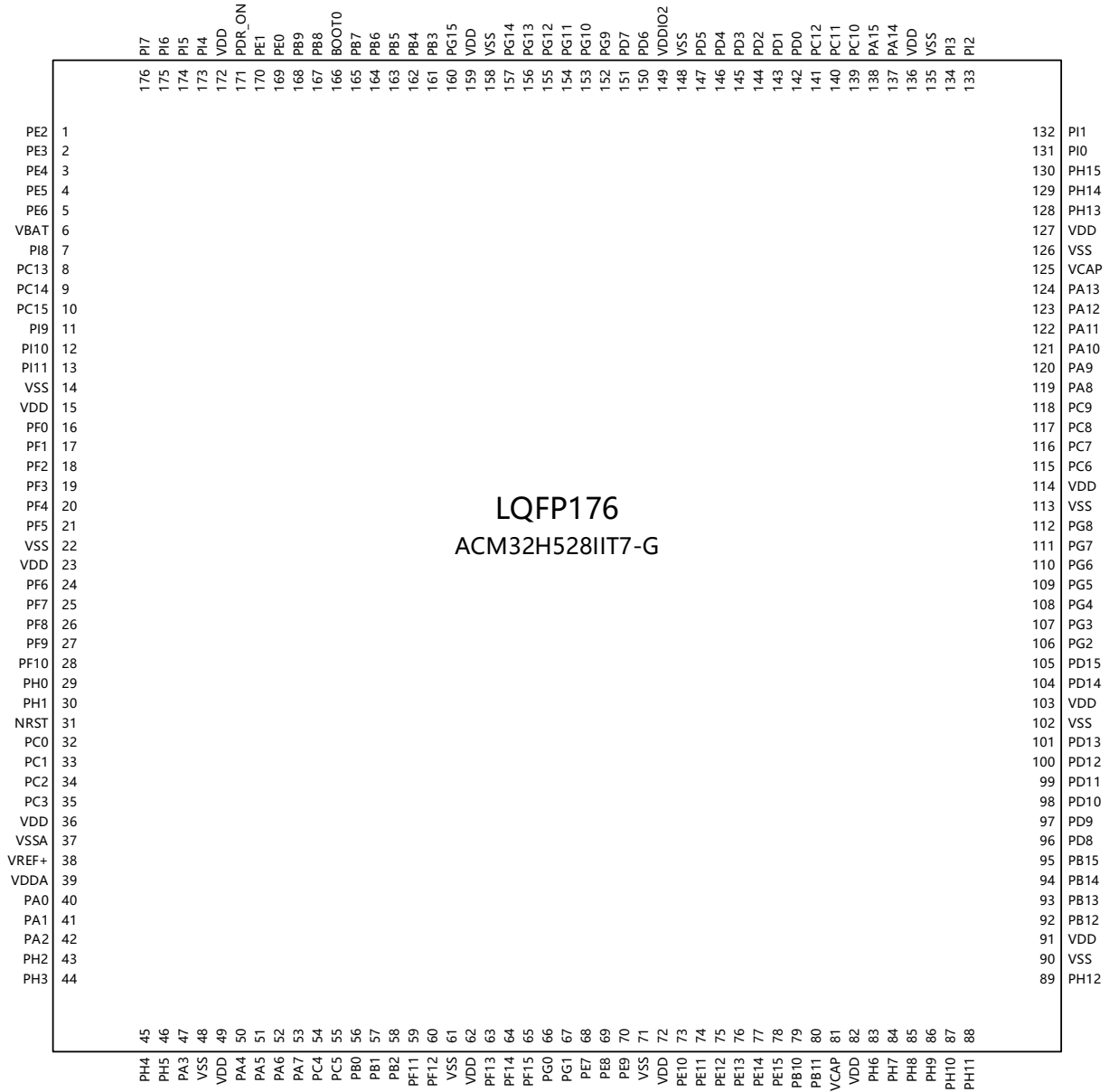
图 3-2 LQFP144 封装管脚分布图



备注：VDDIO2 由用户外部输入；VDDUSB 内部绑定到 VDD；PDR_ON 由用户选择接 VSS 或 VDD。

3.1.3. LQFP176

图 3-3 LQFP176 封装管脚分布图



备注：VDDIO2 由用户外部输入；VDDUSB 内部绑定到 VDD；PDR_ON 由用户选择接 VSS 或 VDD。

3.2. 引脚定义缩写词

表 3-1 引脚定义缩写词

名称	缩写	定义/说明	
引脚名称	除非引脚名称下方的括号中另有规定，否则芯片复位期间和复位之后的引脚功能与实际引脚名称相同		
引脚类型	S	供电引脚	
	I	输入引脚	
	I/O	输入/输出引脚	
I/O 结构	FT	5V 容限 I/O，带有模拟开关	
	TC	3V 兼容 I/O	
	RST	内部有弱上拉电阻的复位引脚	
	FT 和 TC I/O 的选项		
	_5	可配置为 5V 输出的 I/O 如需输出 5V，则 VDD50 须外接 5V 电源 如只需要输出 3.3V，则 VDD50 须与 VDD 短接	
	_h	高速 I/O	
	_2	由 VDDIO2 供电的 I/O VDDIO2 可选择 1.8V 或 3.3V	
	_b	由 VBAT 供电的 I/O	
_u	具有 USB 功能的 I/O		
复位状态	DIR	AN	模拟
		DI	数字输入
		DO	数字输出
		P	电源
		G	地
	上下拉电阻	PU	内部上拉
		PD	内部下拉
引脚功能	复用功能	通过管脚复用寄存器 GPIOx_AFxx 来配置具体功能	
	附加功能	通过外设寄存器来配置	

3.3. 引脚定义

表 3-2 引脚定义

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
1	1	1	PE2	I/O	FT	-	SPI4_SCK, TIM20_CH1, UART8_CK, LTDC_R3, FMC_A23, ETH_MII_TXD3, OSPI1_IO2, STM2_PWM	ANA_OUT
2	2	2	PE3	I/O	FT	-	TIM15_BKIN, TIM20_CH2, LTDC_B6, FMC_A19, STM4_PWM, DCM1_PIXCLK	-
3	3	3	PE4	I/O	FT	-	TIM15_CH1N, SPI4_CS, SPI3_IO3, SDMMC2_D2, TIM20_CH1N, FMC_A20, LTDC_B5, LTDC_B0, DCM1_D4	-
4	4	4	PE5	I/O	FT	-	TIM15_CH1, SPI4_MISO, SDMMC2_D3, TIM20_CH2N, TIM9_CH1, FMC_A21, LTDC_VSYNC, LTDC_G0, DCM1_D6	-
5	5	5	PE6	I/O	FT	-	TIM15_CH2, SPI4_MOSI, SDMMC2_D4, TIM20_CH3N, TIM9_CH2, FMC_A22, LTDC_R7, LTDC_G1, DCM1_D7	-
6	6	6	VBAT	S	-	-	待机区电源	-
-	-	7	PI8	I/O	FT_b	-	TIM18_BKIN, SPI3_CS, TIM25_BKIN	RTC_TAMP2, WKUP3
7	7	8	PC13	I/O	FT_b	-	RTC_OUT	RTC_TAMP1, RTC_TS, WKUP4
8	8	9	PC14	I/O	TC_hb	-	-	OSC32_IN
9	9	10	PC15	I/O	TC_hb	-	-	OSC32_OUT
-	-	11	PI9	I/O	FT	-	SPI3_SCK, CAN1_RX, TIM25_CH1N, UART3_CK, UART4_RX, I2C4_SCL, FMC_D30, LTDC_VSYNC, DCM1_PIXCLK	-
-	-	12	PI10	I/O	FT	-	SPI3_MISO, I2C2_SDA, TIM25_CH1, UART3_RX, ETH_MII_RX_ER, FMC_D31, LTDC_HSYNC	-
-	-	13	PI11	I/O	FT	-	SPI3_MOSI, I2C2_SCL, TIM25_CH2, UART3_TX, OTG1_HS_ULPI_DIR, LTDC_G6	WKUP5
10	-	14	VSS	S	-	-	芯片公共地	-
11	-	15	VDD	S	-	-	芯片主电源	-
-	10	16	PF0	I/O	FT	-	SPI8_MISO, UART10_RX, I2C2_SDA, TIM23_CH1, OSPI2_IO0, FMC_A0	-
-	11	17	PF1	I/O	FT	-	SPI8_MOSI, UART10_TX, I2C2_SCL, TIM23_CH2, OSPI2_IO1, FMC_A1	-
-	12	18	PF2	I/O	FT	-	SPI4_IO3, TIM20_CH3, TIM23_CH3, OSPI2_IO2, FMC_A0, FMC_A2, FMC_NCE	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
11	-	-	VDD	S	-	-	-	-
-	13	19	PF3	I/O	FT	-	SPI8_SCK, UART10_CK, TIM20_CH4, TIM23_CH4, OSPI2_IO3, FMC_A3	ADC3_INP5
-	14	20	PF4	I/O	FT	-	SPI8_IO2, UART10_RTS, SPI8_SCK, COMP1_OUT, I2C3_SCL, TIM20_CH1N, OSPI2_CLK, FMC_A14, FMC_A4	ADC3_INN5, ADC3_INP9
-	15	21	PF5	I/O	FT	-	SPI8_IO3, UART10_CTS, SPI4_IO2, SPI8_CS, I2C3_SDA, TIM20_CH2N, OSPI2_NCLK, FMC_A5	ADC3_INP4
-	16	22	VSS	S	-	-	-	-
11	17	23	VDD	S	-	-	-	-
-	18	24	PF6	I/O	FT	-	TIM16_CH1, SPI5_CS, CAN3_RX, UART7_RX, TIM10_CH1, SPI1_MISO, TIM23_CH1, OSPI1_IO3	ADC3_INN15, ADC3_INP8
-	19	25	PF7	I/O	FT	-	TIM17_CH1, TIM20_BKIN, SPI5_SCK, CAN3_TX, UART7_TX, TIM11_CH1, SPI1_MOSI, TIM23_CH2, OSPI1_IO2	ADC3_INP16
-	20	26	PF8	I/O	FT	-	TIM16_CH1N, TIM13_CH1, SPI5_MISO, CAN3_STBY, UART7_RTS, SPI1_SCK, TIM23_CH3, SPI1_IO2, OSPI1_IO0	ADC3_INN14, ADC3_INP7
-	21	27	PF9	I/O	FT	-	TIM17_CH1N, TIM14_CH1, TIM20_BKIN, SPI5_MOSI, UART7_CTS, SPI1_CS, TIM23_CH4, SPI1_IO3, OSPI1_IO1	ADC3_INP15
-	22	28	PF10	I/O	FT	-	TIM16_BKIN, SPI8_CS, UART7_CK, OSPI1_CLK, LTDC_DE, DCMI_D11	ADC3_INN2, ADC3_INP6
12	23	29	PH0	I/O	TC_h	-	-	OSC_IN
13	24	30	PH1	I/O	TC_h	-	-	OSC_OUT
14	25	31	NRST	I	TC_h	DI/PU	复位信号, 低电平有效	-
15	26	32	PC0	I/O	FT	-	OTG1_HS_ULPI_STP, FMC_A1, FMC_SDNWE, LTDC_G2, OSPI1_IO7, LTDC_R5	ADC123_INP10
16	27	33	PC1	I/O	FT	-	UART2_RX, SPI2_MOSI, I2S2_SDO, FMC_A2, ETH_MDC, SDMMC2_CK, OSPI1_IO4, LTDC_G3	ADC123_INN10, ADC123_INP11
17	28	34	PC2	I/O	FT	-	TIM20_CH2, SPI2_MISO, UART2_TX, I2S2_SDI, OTG1_HS_ULPI_DIR, ETH_MII_TXD2, FMC_A3, FMC_SDNWE, OSPI1_IO2, OSPI1_IO5, LTDC_G4	ADC3_INN1, ADC3_INP12
18	29	35	PC3	I/O	FT	-	UART2_TX, SPI2_MOSI, SPI1_MOSI, I2S2_SDO, OTG1_HS_ULPI_NXT, ETH_MII_TX_CLK, FMC_A4, FMC_SDCKE0, OSPI1_IO0, OSPI1_IO6, LTDC_G5	ADC3_INP1
19	30	36	VDD	S	-	-	-	-
20	31	37	VSSA	S	-	-	芯片模拟地	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
21	32	38	VREF+	S	-	-	ADC 和 DAC 的外部参考电压	-
22	33	39	VDDA	S	-	-	芯片模拟电源	-
23	34	40	PA0	I/O	FT	-	UART2_CTS, TIM2_CH1_ETR, UART4_TX, TIM5_CH1, TIM15_BKIN, TIM8_ETR, ETH_MII_CRS, SDMMC2_CMD	ADC1_INP16, WKUP1
24	35	41	PA1	I/O	FT	-	UART2_RTS_DE, TIM2_CH2, UART4_RX, TIM5_CH2, TIM15_CH1N, LPTIM3_OUT, I2C1_SDA, ETH_MII_RX_CLK/ETH_RMII_REF_CLK, OSPI1_IO3, OSPI1_DQS, LTDC_R2	ADC1_INN16, ADC1_INP17
25	36	42	PA2	I/O	FT	-	UART2_TX, TIM2_CH3, TIM5_CH3, TIM15_CH1, LPTIM4_OUT, I2C1_SCL, TIM9_CH1, ETH_MDI0, LTDC_R1	ADC12_INP14, WKUP2
-	-	43	PH2	I/O	FT	-	LPTIM1_IN2, SPI5_CS4, SPI6_IO3, ETH_MII_CRS, FMC_SDCKE0, OSPI1_IO4, LTDC_R0	ADC3_INP13
-	-	44	PH3	I/O	FT	-	SPI3_CS4, SPI6_IO2, ETH_MII_COL, FMC_SDNE0, OSPI1_IO5, LTDC_R1	ADC3_INN13, ADC3_INP14
-	-	45	PH4	I/O	TC_h	-	I2C2_SCL, OTG1_HS_ULPI_NXT, LTDC_G5, LTDC_G4	ADC3_INN3, ADC3_INP2, DAC2_OUT1
-	-	46	PH5	I/O	TC_h	-	SPI5_CS, I2C2_SDA, FMC_SDNWE	ADC3_INN4, ADC3_INP3, DAC2_OUT2
26	37	47	PA3	I/O	FT	-	UART2_RX, TIM2_CH4, TIM5_CH4, TIM15_CH2, LPTIM5_OUT, TIM9_CH2, OTG1_HS_ULPI_D0, ETH_MII_COL, LTDC_B2, OSPI1_CLK, LTDC_B5	ADC12_INP15
27	38	48	VSS	S	-	-	-	-
28	39	49	VDD	S	-	-	-	-
29	40	50	PA4	I/O	TC_h	-	SPI1_CS, SPI3_CS, TIM5_ETR, UART2_CK, I2S3_WS, I2S1_WS, SPI6_CS, OTG1_HS_SOF, LTDC_VSYNC, DCMI_HSYNC	ADC12_INP3, DAC1_OUT1
30	41	51	PA5	I/O	TC_h	-	SPI1_SCK, TIM2_CH1_ETR, I2S1_CK, TIM8_CH1N, SPI6_SCK, OTG1_HS_ULPI_CK, LTDC_R4	ADC12_INN3, ADC12_INP1, DAC1_OUT2
31	42	52	PA6	I/O	FT	-	SPI1_MISO, TIM3_CH1, TIM1_BKIN, SPI1_IO3, TIM13_CH1, UART4_RX, I2S1_SDI, TIM8_BKIN, SPI6_MISO, OSPI1_IO3, LTDC_G2, DCMI_PIXCLK	ADC12_INP9
32	43	53	PA7	I/O	FT	-	SPI1_MOSI, TIM3_CH2, TIM1_CH1N, SPI1_IO2, TIM14_CH1, UART1_TX, I2S1_SDO, TIM8_CH1N, SPI6_MOSI, ETH_MII_RX_DV/ETH_RMII_CRS_DV, FMC_SDNWE, OSPI1_IO2	ADC12_INN9, ADC12_INP7
33	44	54	PC4	I/O	FT	-	UART1_RTS, SPI6_IO2, I2S1_MCK, ETH_MII_RXD0/ETH_RMII_RXD0, FMC_A5, FMC_SDNE0, SDMMC2_CKIN	ADC12_INP4, COMP1_INM

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
34	45	55	PC5	I/O	FT	-	UART1_CTS, SPI6_IO3, ETH_MII_RXD1/ETH_RMII_RXD1, FMC_A6, FMC_SDCKE0, OSPI1_DQS, COMP1_OUT	ADC12_INN4, ADC12_INP8
35	46	56	PB0	I/O	FT	-	TIM3_CH3, TIM1_CH2N, UART2_RX, UART4_CTS, TIM8_CH2N, OTG1_HS_ULPI_D1, ETH_MII_RXD2, LTDC_R3, OSPI1_IO1, LTDC_G1	ADC12_INN5, ADC12_INP18, COMP1_INP
36	47	57	PB1	I/O	FT	-	TIM3_CH4, TIM1_CH3N, UART2_RTS, UART4_RTS, TIM8_CH3N, OTG1_HS_ULPI_D2, ETH_MII_RXD3, LTDC_R6, OSPI1_IO0, LTDC_G0	ADC12_INP5, COMP1_INM
37	48	58	PB2	I/O	FT	-	TIM20_CH1, UART2_CK, SPI3_MOSI, I2S3_SDO, TIM23_ETR, UART7_CK, FMC_NE3, ETH_TX_ER, OSPI1_DQS, OSPI1_CLK, LTDC_B1	ADC2_INP12, COMP1_INP
-	49	59	PF11	I/O	FT	-	TIM20_ETR, SPI5_MOSI, SPI1_SCK, UART9_RTS, UART7_CK, TIM24_CH1, FMC_SDNRAS, OSPI1_NCLK, LTDC_B1, DCM1_D12	ADC1_INP2, TKEY_CX12
-	50	60	PF12	I/O	FT	-	TIM20_CH1, SPI1_CS, UART9_CTS, OSPI2_DQS, TIM24_CH2, FMC_A6, STM2_PWM, LTDC_B2	ADC1_INN2, ADC1_INP6, TKEY_CX13
-	51	61	VSS	S	-	-	-	-
-	52	62	VDD	S	-	-	-	-
-	53	63	PF13	I/O	FT	-	TIM20_CH2, I2C4_SDA, SPI1_CS3, UART9_TX, TIM24_CH3, FMC_A7, LTDC_G2	ADC2_INP2, TKEY_CX14
-	54	64	PF14	I/O	FT	-	TIM20_CH3, I2C4_SCL, SPI1_CS4, UART9_RX, TIM24_CH4, FMC_A8, LTDC_G3	ADC2_INN2, ADC2_INP6, TKEY_CX15
-	55	65	PF15	I/O	FT	-	TIM20_CH4, I2C4_SDA, SPI4_IO2, FMC_A9, FMC_D12	TKEY_SHIELD
-	56	66	PG0	I/O	FT	-	TIM20_CH1N, SPI5_IO2, OSPI2_IO4, FMC_A10	TKEY_CS
-	57	67	PG1	I/O	FT	-	TIM20_CH2N, SPI5_IO3, OSPI2_IO5, FMC_A11	TKEY_CX8
38	58	68	PE7	I/O	FT	-	TIM1_ETR, UART4_CTS, UART7_RX, FMC_D4, OSPI1_IO4, LTDC_R0	TKEY_CX9
39	59	69	PE8	I/O	FT	-	TIM1_CH1N, UART4_RTS, UART7_TX, FMC_D5, OSPI1_IO5, LTDC_R1	TKEY_CX10
40	60	70	PE9 (BOOT1)	I/O	FT	DI/PU	TIM1_CH1, SPI3_IO3, UART4_TX, UART7_RTS, FMC_D6, OSPI1_IO6, LTDC_R2	TKEY_CX11
-	61	71	VSS	S	-	-	-	-
-	62	72	VDD	S	-	-	-	-
41	63	73	PE10 (BOOT2)	I/O	FT	DI/PU	TIM1_CH2N, UART4_RX, UART7_CTS, FMC_D7, OSPI1_IO7, LTDC_R3	TKEY_CX0
42	64	74	PE11	I/O	FT	-	TIM1_CH2, SPI4_CS, SDMMC2_D5, FMC_D8, OSPI1_NCS, LTDC_G3	TKEY_CX1

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
43	65	75	PE12	I/O	FT	-	TIM1_CH3N, SPI4_SCK, SDMMC2_D6, FMC_D9, LTDC_B4, COMP1_OUT	TKEY_CX2
44	66	76	PE13	I/O	FT	-	TIM1_CH3, SPI4_MISO, SDMMC2_D7, FMC_D10, LTDC_DE	TKEY_CX3
45	67	77	PE14	I/O	FT	-	TIM1_CH4, SPI4_MOSI, SDMMC2_D0, FMC_D11, LTDC_CLK	TKEY_CX4
46	68	78	PE15	I/O	FT	-	TIM1_BKIN, TIM1_CH4N, SDMMC2_D1, TIM20_CH3, FMC_D12, STM6_PWM, LTDC_R7	TKEY_CX5
47	69	79	PB10	I/O	FT	-	UART3_TX, TIM2_CH3, SPI2_SCK, LPTIM2_IN1, I2C2_SCL, CAN1_STBY, I2S2_CK, OTG1_HS_ULPI_D3, ETH_MII_RX_ER, OSPI1_NCS, LTDC_G4	TKEY_CX6
48	70	80	PB11	I/O	FT	-	UART3_RX, TIM2_CH4, LPTIM2_ETR, I2C2_SDA, CAN2_STBY, OTG1_HS_ULPI_D4, FMC_A24, ETH_MII_TX_EN/ETH_RMII_TX_EN, LTDC_G5	TKEY_CX7
49	71	81	VCAP	S	-	-	芯片内部 LDO 输出, 外接 2.2uF 电容	-
50	72	82	VDD	S	-	-	-	-
-	-	83	PH6	I/O	FT_5	-	TIM12_CH1, SPI5_SCK, UART10_CK, ETH_MII_RXD2, FMC_SDNE1, DCM1_D8, TIM25_CH2	-
-	-	84	PH7	I/O	FT_5	-	SPI5_MISO, I2C3_SCL, SPI5_SCK, TIM20_CH1N, UART6_CK, ETH_MII_RXD3, FMC_SDCKE1, DCM1_D9, TIM4_CH1	-
-	-	85	PH8	I/O	FT_5	-	TIM5_ETR, I2C3_SDA, SPI6_CS, TIM20_CH2N, UART7_TX, FMC_D16, DCM1_HSYNC, TIM4_CH2, LTDC_R2	-
-	-	86	PH9	I/O	FT_5	-	TIM12_CH2, SPI5_CS, TIM20_CH3N, UART7_RX, FMC_D17, DCM1_D0, TIM4_CH3, LTDC_R3	-
-	-	87	PH10	I/O	FT_5	-	TIM5_CH1, I2C3_SCL, SPI3_MOSI, FMC_D18, DCM1_D1, LTDC_R4	-
-	-	88	PH11	I/O	FT_5	-	TIM5_CH2, I2C4_SCL, I2C3_SDA, SPI3_MISO, FMC_D19, DCM1_D2, LTDC_R5	-
-	-	89	PH12	I/O	FT_5	-	TIM5_CH3, I2C4_SDA, I2C4_SCL, SPI3_IO2, FMC_D20, DCM1_D3, LTDC_R6	-
-	-	90	VSS	S	-	-	-	-
50	72	91	VDD	S	-	-	-	-
VDD	VDD	VDD	VDDUSB	S	-	-	-	-
51	73	92	PB12 (OTG1_HS_ID)	I/O	TC_h	DI/PU	TIM1_BKIN, SPI2_CS, UART3_CK, CAN2_RX, I2S2_WS, OTG1_HS_ULPI_D5, FMC_A25, ETH_MII_TXD0/ETH_RMII_TXD0, OSPI1_NCLK, UART5_RX, LTDC_B6	OTG1_HS_ID

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
52	74	93	PB13	I/O	FT	-	UART3_CTS, TIM1_CH1N, SPI2_SCK, LPTIM2_OUT, CAN2_TX, I2S2_CK, OTG1_HS_ULPI_D6, FMC_NE4, ETH_MII_TXD1/ETH_RMII_TXD1, UART5_TX, LTDC_B7	OTG1_VBUS
53	75	94	PB14	I/O	TC_hu	-	UART3_RTS_DE, TIM1_CH2N, SPI2_MISO, TIM12_CH1, TIM8_CH2N, UART1_TX, I2S2_SDI, UART4_RTS, FMC_A14, SDMMC2_D0	OTG1_HS_DM
54	76	95	PB15	I/O	TC_hu	-	TIM1_CH3N, SPI2_MOSI, TIM12_CH2, TIM8_CH3N, UART1_RX, I2S2_SDO, UART4_CTS, FMC_A0, SDMMC2_D1, OSPI1_CLK	OTG1_HS_DP
55	77	96	PD8	I/O	FT	-	TIM15_CH1N, UART3_TX, UART8_CK, FMC_D13, SPI8_SCK, LTDC_CLK	-
56	78	97	PD9	I/O	FT	-	TIM15_CH1, UART3_RX, FMC_D14, SPI8_MOSI, LTDC_G7	-
57	79	98	PD10	I/O	FT	-	TIM15_CH2, TIM1_CH4N, UART3_CK, FMC_D15, SPI8_MISO, LTDC_B3	-
58	80	99	PD11	I/O	FT	-	LPTIM2_IN2, SPI4_CS3, UART3_CTS, SDMMC2_CMD, TIM8_CH4N, FMC_A16, OSPI1_IO0, LTDC_DE	-
59	81	100	PD12	I/O	FT	-	LPTIM1_IN1, LPTIM2_IN1, TIM4_CH1, UART3_RTS_DE, I2C4_SCL, CAN3_RX, SPI4_CS4, FMC_A17, OSPI1_IO1	-
60	82	101	PD13	I/O	FT	-	LPTIM1_OUT, TIM4_CH2, I2C4_SDA, CAN3_TX, SPI3_IO2, FMC_A18, OSPI1_IO3, LTDC_DE	-
-	83	102	VSS	S	-	-	-	-
-	84	103	VDD	S	-	-	-	-
61	85	104	PD14	I/O	FT	-	TIM4_CH3, CAN3_STBY, UART8_CTS, FMC_NOE, FMC_D0, SPI8_IO3	-
62	86	105	PD15	I/O	FT	-	TIM4_CH4, SPI3_IO2, UART8_RTS, FMC_NWE, FMC_D1, SPI8_IO2	-
-	87	106	PG2	I/O	FT	-	TIM8_BKIN, TIM20_CH3N, TIM8_CH4N, TIM24_ETR, FMC_A12	-
-	88	107	PG3	I/O	FT	-	TIM20_BKIN, SPI5_MOSI, UART10_TX, TIM20_CH4N, TIM23_ETR, I2C4_SCL, FMC_A13	-
-	89	108	PG4	I/O	FT	-	SPI5_MISO, UART10_RX, I2C4_SDA, FMC_A14/BA0	-
-	90	109	PG5	I/O	FT	-	TIM1_ETR, TIM20_ETR, SPI5_IO2, UART10_RTS, UART6_RX, FMC_A15/BA1	-
-	91	110	PG6	I/O	FT	-	TIM17_BKIN, TIM20_BKIN, UART5_TX, FMC_NE3, I2C3_SCL, OSPI1_NCS, LTDC_R7, DCMI_D12	-
-	92	111	PG7	I/O	FT	-	CAN3_STBY, UART5_RX, UART6_CK, OSPI2_DQS, FMC_INT, LTDC_CLK, DCMI_D13	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
-	93	112	PG8	I/O	FT	-	TIM8_ETR, SPI5_IO3, SPI6_CS, I2C1_SDA, UART10_CTS, UART6_RTS, SDMMC2_CKIN, ETH_PPS_OUT, FMC_SDCLK, SDMMC2_D4, LTDC_G7	-
-	94	113	VSS	S	-	-	-	-
VDD	VDD	VDD	VDDUSB	S	-	-	USB 供电电源	-
63	96	115	PC6	I/O	FT	-	TIM3_CH1, SPI2_IO3, UART6_CTS, UART6_TX, SPI2_CS, SDMMC1_D0DIR, I2S2_MCK, SDMMC1_D6, TIM8_CH1, FMC_A7, FMC_NWAIT, SDMMC2_D6, OSPI1_IO5, LTDC_HSYNC, DCM1_D0	-
-	95	114	VDD	S	-	-	-	-
64	97	116	PC7	I/O	FT	-	TIM3_CH2, SPI2_IO2, UART6_RTS, UART6_RX, SPI2_SCK, SDMMC1_D123DIR, I2S3_MCK, SDMMC1_D7, TIM8_CH2, FMC_A8, FMC_NE1, SDMMC2_D7, OSPI1_IO6, LTDC_G6, DCM1_D1	-
65	98	117	PC8	I/O	FT	-	TIM3_CH3, SPI2_CS3, UART6_CK, TIM20_CH3, SPI2_MISO, I2C3_SCL, I2S1_MCK, UART5_RTS, TIM8_CH3, FMC_A9, FMC_NE2/NCE, SDMMC1_D0, DCM1_D2	-
66	99	118	PC9	I/O	FT	-	TIM3_CH4, SPI2_CS4, MCO2, I2C3_SDA, SPI2_MOSI, UART5_CTS, TIM8_CH4, FMC_A10, LTDC_G3, SDMMC1_D1, OSPI1_IO0, LTDC_B2, DCM1_D3	-
67	100	119	PA8 (MCO1)	I/O	FT	DO	MCO1, TIM1_CH1, I2C3_SCL, UART1_CK, OTG2_HS_SOF, FMC_NE2, UART7_RX, LTDC_B3, LTDC_R6	-
68	101	120	PA9	I/O	FT	-	UART1_TX, TIM1_CH2, SPI2_SCK, LPUART1_TX, UART4_CK, ETH_TX_ER, LTDC_R5, DCM1_D0	OTG2_VBUS
69	102	121	PA10 (OTG2_HS_ID)	I/O	TC_h	DI/PU	UART1_RX, TIM1_CH3, LPUART1_RX, TIM8_BKIN, LTDC_B4, LTDC_B1, DCM1_D1	OTG2_HS_ID
70	103	122	PA11	I/O	TC_h	-	UART1_CTS, TIM1_CH4, SPI2_CS, CAN1_RX, COMP1_OUT, I2S2_WS, UART4_RX, LTDC_R4	OTG2_HS_DM
71	104	123	PA12	I/O	TC_h	-	UART1_RTS, TIM1_ETR, SPI2_SCK, CAN1_TX, I2S2_CK, UART4_TX, LTDC_B7, LTDC_R5	OTG2_HS_DP
72	105	124	PA13 (SWDIO_TMS)	I/O	FT	DI/PU	SWDIO_TMS, UART1_RX, UART2_RTS, I2C1_SCL, ETH_TX_ER	-
73	106	125	VCAP	S	-	-	芯片内部 LDO 输出, 外接 2.2uF 电容	-
74	107	126	VSS	S	-	-	-	-
75	108	127	VDD	S	-	-	-	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
-	-	128	PH13	I/O	FT	-	TIM8_CH1N, CAN1_TX, UART4_TX, FMC_D21, LTDC_G2	-
-	-	129	PH14	I/O	FT	-	TIM8_CH2N, CAN1_RX, UART4_RX, FMC_D22, LTDC_G3, DCMI_D4	-
-	-	130	PH15	I/O	FT	-	TIM8_CH3N, CAN1_STBY, UART4_CK, FMC_D23, LTDC_G4, DCMI_D11	-
-	108	-	VDD	S	-	-	-	-
-	-	131	PI0	I/O	FT	-	TIM5_CH4, SPI2_CS, I2S2_WS, CAN2_STBY, FMC_D24, LTDC_G5, DCMI_D13	-
-	-	132	PI1	I/O	FT	-	UART6_CK, SPI2_SCK, I2S2_CK, FMC_D25, LTDC_G6, DCMI_D8	-
-	-	133	PI2	I/O	FT	-	TIM8_CH4, UART6_RX, SPI2_MISO, I2C1_SDA, I2S2_SDI, CAN2_RX, FMC_D26, LTDC_G7, DCMI_D9	-
-	-	134	PI3	I/O	FT	-	TIM8_ETR, UART6_TX, SPI2_MOSI, I2C1_SCL, I2S2_SDO, CAN2_TX, FMC_D27, DCMI_D10	-
-	108	136	VDD	S	-	-	-	-
-	-	135	VSS	S	-	-	-	-
76	109	137	PA14 (SWCLK_TCK)	I/O	FT	DI/PD	SWCLK_TCK, UART1_TX, I2C1_SDA	-
77	110	138	PA15 (TDI)	I/O	FT	DI/PU	TDI, TIM2_CH1_ETR, SPI3_CS, SPI1_CS, I2S3_WS, I2S1_WS, I2C3_SDA, UART4_RTS, UART7_TX, SPI6_CS, OSPI1_DQS	-
78	111	139	PC10	I/O	TC_h2	-	TIM5_CH1, SPI3_SCK, UART3_TX, UART4_TX, I2S3_CK, FMC_A13, OSPI1_CLK, SDMMC1_D2, OSPI1_IO1, LTDC_R2, DCMI_D8	-
79	112	140	PC11	I/O	TC_h2	-	TIM5_CH2, SPI3_MISO, UART3_RX, UART4_RX, I2S3_SDI, FMC_A12, SDMMC1_D3, OSPI1_NCS, DCMI_D4	-
80	113	141	PC12	I/O	TC_h2	-	TIM5_CH3, SPI3_MOSI, UART3_CK, I2S3_SDO, UART5_TX, FMC_A11, SDMMC1_CK, OSPI1_NCLK, DCMI_D9	-
81	114	142	PD0	I/O	TC_h2	-	CAN1_RX, SPI3_IO3, I2S3_MCK, UART4_RX, FMC_D2, SDMMC1_D4, OSPI1_IO0	-
82	115	143	PD1	I/O	TC_h2	-	CAN1_TX, UART4_TX, FMC_D3, SDMMC1_D5, OSPI1_IO1	-
83	116	144	PD2	I/O	TC_h2	-	TIM5_CH4, TIM3_ETR, CAN1_STBY, UART5_RX, FMC_A15, SDMMC1_CMD, OSPI1_IO2, DCMI_D11	-
84	117	145	PD3	I/O	TC_h2	-	SPI2_SCK, UART2_CTS, I2S2_CK, FMC_CLK, SDMMC1_D6, OSPI1_IO3, LTDC_G7, DCMI_D5	-
85	118	146	PD4	I/O	TC_h2	-	UART2_RTS_DE, I2C3_SCL, SDMMC1_CKIN, FMC_NOE, SDMMC1_D7, OSPI1_IO4	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
86	119	147	PD5	I/O	TC_h2	-	UART2_TX, SDMMC1_CDIR, FMC_NWE, SDMMC1_CDIR, OSPI1_IO5	-
-	120	148	VSS	S	-	-	-	-
VDD	121	149	VDDIO2	S	-	-	芯片 IO 供电电源, 为 PD[7:0]、PC[12:10]、PG9 单独供电; 当不使用这些 IO 时, VDDIO2 最好连接到 VDD	-
87	122	150	PD6	I/O	TC_h2	-	SPI3_MOSI, UART2_RX, I2S3_SDO, FMC_NWAIT, SDMMC1_D0, SDMMC2_CK, OSPI1_IO6, LTDC_B2, DCM1_D10	-
88	123	151	PD7	I/O	TC_h2	-	SPI1_MOSI, I2C3_SDA, UART2_CK, I2S1_SDO, FMC_NE1, SDMMC1_D1, SDMMC2_CMD, OSPI1_IO7	-
-	124	152	PG9	I/O	TC_h2	-	CAN3_TX, SPI1_MISO, SPI3_CS, I2S1_SDI, UART6_RX, OSPI1_DQS, SDMMC2_D0, FMC_NE2/NCE, I2C3_SDA, OSPI1_IO6, DCM1_VSYNC	-
-	125	153	PG10	I/O	FT	-	CAN3_RX, UART10_CK, SPI1_CS, I2C1_SCL, I2S1_WS, SPI5_SCK, OSPI2_IO6, SDMMC2_D1, FMC_NE3, LTDC_G3, LTDC_B2, DCM1_D2	-
-	126	154	PG11	I/O	FT	-	TIM24_CH1, LPTIM1_IN2, SPI6_CS, SPI1_SCK, I2S1_CK, OSPI2_IO7, ETH_MII_TX_EN/ETH_RMII_TX_EN, SDMMC2_D2, LTDC_B3, DCM1_D3	-
-	127	155	PG12	I/O	FT	-	TIM24_CH2, LPTIM1_IN1, UART1_RX, SPI6_MISO, UART6_RTS, TIM23_CH1, OSPI2_NCS, ETH_MII_TXD1/ETH_RMII_TXD1, FMC_NE4, LTDC_B4, SDMMC2_D3, LTDC_B1	-
-	128	156	PG13	I/O	FT	-	TIM24_CH3, LPTIM1_OUT, UART1_CK, SPI6_SCK, UART6_CTS, TIM23_CH2, SDMMC2_D0DIR, ETH_MII_TXD0/ETH_RMII_TXD0, FMC_A24, SDMMC2_D6, LTDC_R0	-
-	129	157	PG14	I/O	FT	-	TIM24_CH4, LPTIM1_ETR, SPI5_CS3, SPI6_MOSI, UART6_TX, TIM23_CH3, SDMMC2_D123DIR, ETH_MII_TXD1/ETH_RMII_TXD1, FMC_A25, SDMMC2_D7, OSPI1_IO7, LTDC_B0	-
-	130	158	VSS	S	-	-	-	-
-	131	159	VDD	S	-	-	-	-
-	132	160	PG15	I/O	FT	-	SPI5_CS, UART6_CTS, OSPI2_DQS, SDMMC2_CDIR, FMC_SDNCS, SDMMC2_D5, DCM1_D13	-
89	133	161	PB3 (TDO)	I/O	FT	DO/PD	TDO, TIM2_CH2, SPI3_SCK, SPI1_SCK, I2S3_CK, TIM24_ETR, I2S1_CK, UART7_RX, SPI6_SCK, SDMMC2_D2, UART5_CK	-
90	134	162	PB4 (TRST)	I/O	FT	DI/PU	TRST, TIM3_CH1, TIM16_BKIN, SPI3_MISO, SPI1_MISO, SPI2_CS, I2S3_SDI, I2S1_SDI, UART7_TX, SPI6_MISO, SDMMC2_D3, OSPI1_CLK, I2S2_WS	-

LQFP100 H528VIT7-G H538VMT6-TM	LQFP144 H528ZIT7-G H538ZMT6-TM	LQFP176 H528IIT7-G	引脚名称 (复位功能)	引脚类型	IO 结构	复位状态	复用功能	附加功能
91	135	163	PB5	I/O	FT	-	SPI1_MOSI, TIM3_CH2, TIM17_BKIN, SPI3_MOSI, CAN2_RX, SPI6_MOSI, I2S3_SDO, I2S1_SDO, LTDC_G6, ETH_PPS_OUT, FMC_SDCKE1, OTG1_HS_ULPI_D7, OSPI1_NCLK, UART5_RX, DCM1_D10	-
92	136	164	PB6	I/O	FT	-	UART1_TX, TIM16_CH1N, CAN2_TX, I2C1_SCL, I2C4_SCL, TIM4_CH1, LPUART1_TX, FMC_SDNE1, LTDC_HSYNCR, OSPI1_NCS, UART5_TX, DCM1_D5	-
93	137	165	PB7	I/O	FT	-	UART1_RX, TIM17_CH1N, CAN2_STBY, I2C1_SDA, I2C4_SDA, TIM4_CH2, LPUART1_RX, FMC_NL, LTDC_VSYNCR, DCM1_VSYNCR	-
94	138	166	BOOT0	I	TC_h	DI/PU	BOOT0 内部上拉, 默认 ROM 启动; 接 VSS 时, 从内部叠封 SPI-Flash 启动	-
95	139	167	PB8	I/O	FT	-	COMP1_OUT, TIM16_CH1, I2C4_SCL, I2C1_SCL, CAN1_RX, UART4_RX, TIM4_CH3, TIM10_CH1, SDMMC1_D4, SDMMC2_D4, SDMMC1_CKIN, ETH_MII_TXD3, LTDC_B6, DCM1_D6	-
96	140	168	PB9	I/O	FT	-	TIM17_CH1, SPI2_CS, I2C4_SDA, I2C1_SDA, CAN1_TX, UART4_TX, TIM4_CH4, TIM11_CH1, SDMMC1_D5, SDMMC2_D5, SDMMC1_CD1R, I2S2_WS, LTDC_B7, DCM1_D7	-
97	141	169	PE0	I/O	FT	-	LPTIM1_ETR, LPTIM2_ETR, TIM4_ETR, TIM20_CH4N, TIM20_ETR, UART8_RX, FMC_NWAIT, FMC_NBL0, SPI8_CS, DCM1_D2	-
98	142	170	PE1	I/O	FT	-	LPTIM1_IN2, TIM20_CH4, UART8_TX, FMC_NBL1, DCM1_D3	-
99	-	-	VSS	S	-	-	-	-
VDD	143	171	PDR_ON	I	-	DI	内部 POR 配置: 接 VSS 时, 内部 POR 禁止, 外部供电可低至 1.62V; 接 VDD 时, 内部 POR 使能, 外部供电需高于 1.71V	-
100	144	172	VDD	S	-	-	-	-
-	-	173	PI4	I/O	FT	-	TIM8_BKIN, SPI3_IO3, UART3_CTS, I2C4_SDA, FMC_NBL2, LTDC_B4, DCM1_D5	-
-	-	174	PI5	I/O	FT	-	TIM8_CH1, FMC_NBL3, STM1_PWM, LTDC_B5, DCM1_VSYNCR	-
-	-	175	PI6	I/O	FT	-	TIM8_CH2, FMC_D28, STM3_PWM, LTDC_B6, DCM1_D6	-
-	-	176	PI7	I/O	FT	-	TIM8_CH3, FMC_D29, STM5_PWM, LTDC_B7, DCM1_D7	-

3.4. 引脚复用功能

表 3-3 引脚复用功能

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0		UART2_CTS	TIM2_CH1_ETR	UART4_TX	TIM5_CH1	TIM15_BKIN			TIM8_ETR			ETH_MII_CRS	SDMMC2_CMD			
PA1		UART2_RTS_DE	TIM2_CH2	UART4_RX	TIM5_CH2	TIM15_CH1N	LPTIM3_OUT	I2C1_SDA				ETH_MII_RX_CLK/ETH_RMII_REF_CLK	OSPI1_IO3	OSPI1_DQS	LTDC_R2	
PA2		UART2_TX	TIM2_CH3		TIM5_CH3	TIM15_CH1	LPTIM4_OUT	I2C1_SCL		TIM9_CH1		ETH_MDIO			LTDC_R1	
PA3		UART2_RX	TIM2_CH4		TIM5_CH4	TIM15_CH2	LPTIM5_OUT			TIM9_CH2	OTG1_HS_ULPI_D0	ETH_MII_COL	LTDC_B2	OSPI1_CLK	LTDC_B5	
PA4	SPI1_CS	SPI3_CS			TIM5_ETR	UART2_CK	I2S3_WS	I2S1_WS		SPI6_CS	OTG1_HS_SOF				LTDC_VSYNC	DCMI_HSYNC
PA5	SPI1_SCK		TIM2_CH1_ETR					I2S1_CK	TIM8_CH1N	SPI6_SCK	OTG1_HS_ULPI_CK				LTDC_R4	
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	SPI1_IO3	TIM13_CH1		UART4_RX	I2S1_SDI	TIM8_BKIN	SPI6_MISO				OSPI1_IO3	LTDC_G2	DCMI_PIXCLK
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	SPI1_IO2	TIM14_CH1	UART1_TX		I2S1_SDO	TIM8_CH1N	SPI6_MOSI	ETH_MII_RX_DV/ETH_RMII_CRS_DV	FMC_SDNWE		OSPI1_IO2		
PA8	MCO1		TIM1_CH1		I2C3_SCL		UART1_CK			OTG2_HS_SOF	FMC_NE2	UART7_RX	LTDC_B3		LTDC_R6	
PA9		UART1_TX	TIM1_CH2	SPI2_SCK			LPUART1_TX			UART4_CK		ETH_TX_ER			LTDC_R5	DCMI_D0
PA10		UART1_RX	TIM1_CH3				LPUART1_RX			TIM8_BKIN			LTDC_B4		LTDC_B1	DCMI_D1
PA11		UART1_CTS	TIM1_CH4	SPI2_CS	CAN1_RX	COMP1_OUT		I2S2_WS		UART4_RX					LTDC_R4	
PA12		UART1_RTS	TIM1_ETR	SPI2_SCK	CAN1_TX			I2S2_CK		UART4_TX			LTDC_B7		LTDC_R5	
PA13	SWDIO_TMS	UART1_RX		UART2_RTS	I2C1_SCL							ETH_TX_ER				
PA14	SWCLK_TCK	UART1_TX			I2C1_SDA											
PA15	TDI		TIM2_CH1_ETR		SPI3_CS	SPI1_CS	I2S3_WS	I2S1_WS	I2C3_SDA		UART4_RTS	UART7_TX	SPI6_CS	OSPI1_DQS		
PB0		TIM3_CH3	TIM1_CH2N	UART2_RX					UART4_CTS	TIM8_CH2N	OTG1_HS_ULPI_D1	ETH_MII_RXD2	LTDC_R3	OSPI1_IO1	LTDC_G1	
PB1		TIM3_CH4	TIM1_CH3N	UART2_RTS					UART4_RTS	TIM8_CH3N	OTG1_HS_ULPI_D2	ETH_MII_RXD3	LTDC_R6	OSPI1_IO0	LTDC_G0	
PB2			TIM20_CH1	UART2_CK	SPI3_MOSI		I2S3_SDO		TIM23_ETR	UART7_CK	FMC_NE3	ETH_TX_ER	OSPI1_DQS	OSPI1_CLK	LTDC_B1	
PB3	TDO		TIM2_CH2	SPI3_SCK	SPI1_SCK	I2S3_CK	TIM24_ETR	I2S1_CK			UART7_RX	SPI6_SCK	SDMMC2_D2		UART5_CK	
PB4	TRST	TIM3_CH1	TIM16_BKIN	SPI3_MISO	SPI1_MISO	SPI2_CS	I2S3_SDI	I2S1_SDI			UART7_TX	SPI6_MISO	SDMMC2_D3	OSPI1_CLK	I2S2_WS	
PB5	SPI1_MOSI	TIM3_CH2	TIM17_BKIN	SPI3_MOSI	CAN2_RX	SPI6_MOSI	I2S3_SDO	I2S1_SDO		LTDC_G6	ETH_PPS_OUT	FMC_SDCKE1	OTG1_HS_ULPI_D7	OSPI1_NCLK	UART5_RX	DCMI_D10

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB6	UART1_TX		TIM16_CH1N		CAN2_TX	I2C1_SCL	I2C4_SCL		TIM4_CH1		LPUART1_TX	FMC_SDNE1	LTDC_HSYNC	OSPI1_NCS	UART5_TX	DCMI_D5
PB7	UART1_RX		TIM17_CH1N		CAN2_STBY	I2C1_SDA	I2C4_SDA		TIM4_CH2		LPUART1_RX	FMC_NL	LTDC_VSYNC			DCMI_VSYNC
PB8		COMP1_OUT	TIM16_CH1		I2C4_SCL	I2C1_SCL	CAN1_RX	UART4_RX	TIM4_CH3	TIM10_CH1	SDMMC1_D4	SDMMC2_D4	SDMMC1_CKIN	ETH_MII_TXD3	LTDC_B6	DCMI_D6
PB9			TIM17_CH1	SPI2_CS	I2C4_SDA	I2C1_SDA	CAN1_TX	UART4_TX	TIM4_CH4	TIM11_CH1	SDMMC1_D5	SDMMC2_D5	SDMMC1_CDIR	I2S2_WS	LTDC_B7	DCMI_D7
PB10		UART3_TX	TIM2_CH3	SPI2_SCK	LPTIM2_IN1	I2C2_SCL	CAN1_STBY	I2S2_CK			OTG1_HS_ULPI_D3	ETH_MII_RX_ER		OSPI1_NCS	LTDC_G4	
PB11		UART3_RX	TIM2_CH4		LPTIM2_ETR	I2C2_SDA	CAN2_STBY			OTG1_HS_ULPI_D4	FMC_A24	ETH_MII_TX_EN/ETH_RMII_TX_EN				LTDC_G5
PB12			TIM1_BKIN	SPI2_CS		UART3_CK	CAN2_RX	I2S2_WS	OTG1_HS_ULPI_D5		FMC_A25	ETH_MII_TXD0/ETH_RMII_TXD0		OSPI1_NCLK	UART5_RX	LTDC_B6
PB13	UART3_CTS		TIM1_CH1N	SPI2_SCK	LPTIM2_OUT		CAN2_TX	I2S2_CK	OTG1_HS_ULPI_D6		FMC_NE4	ETH_MII_TXD1/ETH_RMII_TXD1			UART5_TX	LTDC_B7
PB14	UART3_RTS_DE		TIM1_CH2N	SPI2_MISO	TIM12_CH1	TIM8_CH2N	UART1_TX	I2S2_SDI	UART4_RTS		FMC_A14		SDMMC2_D0			
PB15			TIM1_CH3N	SPI2_MOSI	TIM12_CH2	TIM8_CH3N	UART1_RX	I2S2_SDO	UART4_CTS		FMC_A0		SDMMC2_D1	OSPI1_CLK		
PC0										OTG1_HS_ULPI_STP	FMC_A1	FMC_SDNWE	LTDC_G2	OSPI1_IO7	LTDC_R5	
PC1			UART2_RX	SPI2_MOSI				I2S2_SDO			FMC_A2	ETH_MDC	SDMMC2_CK	OSPI1_IO4	LTDC_G3	
PC2			TIM20_CH2	SPI2_MISO			UART2_TX	I2S2_SDI	OTG1_HS_ULPI_DIR	ETH_MII_TXD2	FMC_A3	FMC_SDNE0	OSPI1_IO2	OSPI1_IO5	LTDC_G4	
PC3			UART2_TX	SPI2_MOSI	SPI1_MOSI			I2S2_SDO	OTG1_HS_ULPI_NXT	ETH_MII_TX_CLK	FMC_A4	FMC_SDCKE0	OSPI1_IO0	OSPI1_IO6	LTDC_G5	
PC4				UART1_RTS	SPI6_IO2			I2S1_MCK		ETH_MII_RXD0/ETH_RMII_RXD0	FMC_A5	FMC_SDNE0	SDMMC2_CKIN			
PC5				UART1_CTS	SPI6_IO3					ETH_MII_RXD1/ETH_RMII_RXD1	FMC_A6	FMC_SDCKE0		OSPI1_DQS	COMP1_OUT	
PC6	TIM3_CH1	SPI2_IO3	UART6_CTS	UART6_TX		SPI2_CS	SDMMC1_D0DIR	I2S2_MCK	SDMMC1_D6	TIM8_CH1	FMC_A7	FMC_NWAIT	SDMMC2_D6	OSPI1_IO5	LTDC_HSYNC	DCMI_D0
PC7	TIM3_CH2	SPI2_IO2	UART6_RTS	UART6_RX		SPI2_SCK	SDMMC1_D123DIR	I2S3_MCK	SDMMC1_D7	TIM8_CH2	FMC_A8	FMC_NE1	SDMMC2_D7	OSPI1_IO6	LTDC_G6	DCMI_D1
PC8	TIM3_CH3	SPI2_CS3		UART6_CK	TIM20_CH3	SPI2_MISO	I2C3_SCL	I2S1_MCK	UART5_RTS	TIM8_CH3	FMC_A9	FMC_NE2/NCE	SDMMC1_D0			DCMI_D2
PC9	TIM3_CH4	SPI2_CS4		MCO2	I2C3_SDA	SPI2_MOSI			UART5_CTS	TIM8_CH4	FMC_A10	LTDC_G3	SDMMC1_D1	OSPI1_IO0	LTDC_B2	DCMI_D3
PC10	TIM5_CH1		SPI3_SCK	UART3_TX	UART4_TX			I2S3_CK			FMC_A13	OSPI1_CLK	SDMMC1_D2	OSPI1_IO1	LTDC_R2	DCMI_D8
PC11	TIM5_CH2		SPI3_MISO	UART3_RX	UART4_RX			I2S3_SDI			FMC_A12		SDMMC1_D3	OSPI1_NCS		DCMI_D4

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC12	TIM5_CH3		SPI3_MOSI			UART3_CK		I2S3_SDO	UART5_TX		FMC_A11		SDMMC1_CK	OSPI1_NCLK		DCMI_D9
PC13		RTC_OUT														
PC14																
PC15																
PD0					CAN1_RX	SPI3_IO3		I2S3_MCK	UART4_RX		FMC_D2	SDMMC1_D4		OSPI1_IO0		
PD1					CAN1_TX				UART4_TX		FMC_D3	SDMMC1_D5		OSPI1_IO1		
PD2	TIM5_CH4	TIM3_ETR			CAN1_STBY				UART5_RX		FMC_A15		SDMMC1_CM D	OSPI1_IO2		DCMI_D11
PD3			SPI2_SCK	UART2_CTS				I2S2_CK			FMC_CLK	SDMMC1_D6		OSPI1_IO3	LTDC_G7	DCMI_D5
PD4				UART2_RTS_DE	I2C3_SCL		SDMMC1_CK N				FMC_NOE	SDMMC1_D7		OSPI1_IO4		
PD5				UART2_TX			SDMMC1_CDI R				FMC_NWE	SDMMC1_CDI R		OSPI1_IO5		
PD6			SPI3_MOSI	UART2_RX				I2S3_SDO			FMC_NWAIT	SDMMC1_D0	SDMMC2_CK	OSPI1_IO6	LTDC_B2	DCMI_D10
PD7			SPI1_MOSI		I2C3_SDA	UART2_CK		I2S1_SDO			FMC_NE1	SDMMC1_D1	SDMMC2_CM D	OSPI1_IO7		
PD8	TIM15_CH1N			UART3_TX		UART8_CK					FMC_D13	SPI8_SCK			LTDC_CLK	
PD9	TIM15_CH1			UART3_RX							FMC_D14	SPI8_MOSI			LTDC_G7	
PD10	TIM15_CH2		TIM1_CH4N			UART3_CK					FMC_D15	SPI8_MISO			LTDC_B3	
PD11		LPTIM2_IN2	SPI4_CS3	UART3_CTS			SDMMC2_CM D	TIM8_CH4N			FMC_A16			OSPI1_IO0	LTDC_DE	
PD12	LPTIM1_IN1	LPTIM2_IN1	TIM4_CH1	UART3_RTS_DE	I2C4_SCL	CAN3_RX	SPI4_CS4				FMC_A17			OSPI1_IO1		
PD13	LPTIM1_OUT		TIM4_CH2		I2C4_SDA	CAN3_TX	SPI3_IO2				FMC_A18			OSPI1_IO3	LTDC_DE	
PD14			TIM4_CH3			CAN3_STBY			UART8_CTS	FMC_NOE	FMC_D0	SPI8_IO3				
PD15			TIM4_CH4			SPI3_IO2			UART8_RTS	FMC_NWE	FMC_D1	SPI8_IO2				
PE0	LPTIM1_ETR	LPTIM2_ETR	TIM4_ETR		TIM20_CH4N			TIM20_ETR	UART8_RX	FMC_NWAIT	FMC_NBL0	SPI8_CS				DCMI_D2
PE1	LPTIM1_IN2							TIM20_CH4	UART8_TX		FMC_NBL1					DCMI_D3
PE2					SPI4_SCK			TIM20_CH1	UART8_CK	LTDC_R3	FMC_A23	ETH_MII_TXD3		OSPI1_IO2	STM2_PWM	
PE3			TIM15_BKIN					TIM20_CH2		LTDC_B6	FMC_A19			STM4_PWM		DCMI_PIXCLK
PE4			TIM15_CH1N		SPI4_CS	SPI3_IO3	SDMMC2_D2	TIM20_CH1N			FMC_A20	LTDC_B5			LTDC_B0	DCMI_D4
PE5			TIM15_CH1		SPI4_MISO		SDMMC2_D3	TIM20_CH2N		TIM9_CH1	FMC_A21	LTDC_VSYNC			LTDC_G0	DCMI_D6
PE6			TIM15_CH2		SPI4_MOSI		SDMMC2_D4	TIM20_CH3N		TIM9_CH2	FMC_A22	LTDC_R7			LTDC_G1	DCMI_D7
PE7		TIM1_ETR				UART4_CTS		UART7_RX			FMC_D4			OSPI1_IO4		LTDC_R0

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE8		TIM1_CH1N				UART4_RTS		UART7_TX			FMC_D5			OSPI1_IO5		LTDC_R1
PE9		TIM1_CH1		SPI3_IO3		UART4_TX		UART7_RTS			FMC_D6			OSPI1_IO6		LTDC_R2
PE10		TIM1_CH2N				UART4_RX		UART7_CTS			FMC_D7			OSPI1_IO7		LTDC_R3
PE11		TIM1_CH2			SPI4_CS		SDMMC2_D5				FMC_D8			OSPI1_NCS	LTDC_G3	
PE12		TIM1_CH3N			SPI4_SCK		SDMMC2_D6				FMC_D9				LTDC_B4	COMP1_OUT
PE13		TIM1_CH3			SPI4_MISO		SDMMC2_D7				FMC_D10				LTDC_DE	
PE14		TIM1_CH4			SPI4_MOSI		SDMMC2_D0				FMC_D11				LTDC_CLK	
PE15		TIM1_BKIN	TIM1_CH4N				SDMMC2_D1	TIM20_CH3			FMC_D12			STM6_PWM	LTDC_R7	
PF0			SPI8_MISO	UART10_RX		I2C2_SDA			TIM23_CH1	OSPI2_IO0		FMC_A0				
PF1			SPI8_MOSI	UART10_TX		I2C2_SCL			TIM23_CH2	OSPI2_IO1		FMC_A1				
PF2					SPI4_IO3			TIM20_CH3	TIM23_CH3	OSPI2_IO2	FMC_A0	FMC_A2	FMC_NCE			
PF3			SPI8_SCK	UART10_CK				TIM20_CH4	TIM23_CH4	OSPI2_IO3		FMC_A3				
PF4			SPI8_IO2	UART10_RTS	SPI8_SCK	COMP1_OUT	I2C3_SCL	TIM20_CH1N		OSPI2_CLK	FMC_A14	FMC_A4				
PF5			SPI8_IO3	UART10_CTS	SPI4_IO2	SPI8_CS	I2C3_SDA	TIM20_CH2N		OSPI2_NCLK		FMC_A5				
PF6		TIM16_CH1			SPI5_CS	CAN3_RX		UART7_RX	TIM10_CH1	SPI1_MISO	TIM23_CH1			OSPI1_IO3		
PF7		TIM17_CH1		TIM20_BKIN	SPI5_SCK	CAN3_TX		UART7_TX	TIM11_CH1	SPI1_MOSI	TIM23_CH2			OSPI1_IO2		
PF8		TIM16_CH1N	TIM13_CH1		SPI5_MISO	CAN3_STBY		UART7_RTS		SPI1_SCK	TIM23_CH3	SPI1_IO2		OSPI1_IO0		
PF9		TIM17_CH1N	TIM14_CH1	TIM20_BKIN	SPI5_MOSI			UART7_CTS		SPI1_CS	TIM23_CH4	SPI1_IO3		OSPI1_IO1		
PF10		TIM16_BKIN	SPI8_CS					UART7_CK						OSPI1_CLK	LTDC_DE	DCMI_D11
PF11				TIM20_ETR	SPI5_MOSI	SPI1_SCK	UART9_RTS	UART7_CK			TIM24_CH1	FMC_SDNRAS		OSPI1_NCLK	LTDC_B1	DCMI_D12
PF12				TIM20_CH1		SPI1_CS	UART9_CTS			OSPI2_DQS	TIM24_CH2	FMC_A6		STM2_PWM	LTDC_B2	
PF13				TIM20_CH2	I2C4_SDA	SPI1_CS3	UART9_TX				TIM24_CH3	FMC_A7			LTDC_G2	
PF14				TIM20_CH3	I2C4_SCL	SPI1_CS4	UART9_RX				TIM24_CH4	FMC_A8			LTDC_G3	
PF15				TIM20_CH4	I2C4_SDA	SPI4_IO2						FMC_A9	FMC_D12			
PG0				TIM20_CH1N	SPI5_IO2					OSPI2_IO4		FMC_A10				
PG1				TIM20_CH2N	SPI5_IO3					OSPI2_IO5		FMC_A11				
PG2			TIM8_BKIN	TIM20_CH3N				TIM8_CH4N			TIM24_ETR	FMC_A12				
PG3				TIM20_BKIN	SPI5_MOSI		UART10_TX	TIM20_CH4N	TIM23_ETR		I2C4_SCL	FMC_A13				
PG4					SPI5_MISO		UART10_RX				I2C4_SDA	FMC_A14/BA0				
PG5		TIM1_ETR		TIM20_ETR	SPI5_IO2		UART10_RTS	UART6_RX				FMC_A15/BA1				

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG6		TIM17_BKIN		TIM20_BKIN			UART5_TX					FMC_NE3	I2C3_SCL	OSPI1_NCS	LTDC_R7	DCMI_D12
PG7			CAN3_STBY				UART5_RX	UART6_CK		OSPI2_DQS		FMC_INT			LTDC_CLK	DCMI_D13
PG8			TIM8_ETR	SPI5_IO3	SPI6_CS	I2C1_SDA	UART10_CTS	UART6_RTS		SDMMC2_CKIN	ETH_PPS_OUT	FMC_SDCLK	SDMMC2_D4		LTDC_G7	
PG9			CAN3_TX		SPI1_MISO	SPI3_CS	I2S1_SDI	UART6_RX		OSPI1_DQS	SDMMC2_D0	FMC_NE2/NCE	I2C3_SDA	OSPI1_IO6		DCMI_VSYNC
PG10			CAN3_RX	UART10_CK	SPI1_CS	I2C1_SCL	I2S1_WS	SPI5_SCK		OSPI2_IO6	SDMMC2_D1	FMC_NE3	LTDC_G3		LTDC_B2	DCMI_D2
PG11	TIM24_CH1	LPTIM1_IN2		SPI6_CS	SPI1_SCK		I2S1_CK			OSPI2_IO7	ETH_MII_TX_EN/ETH_RMII_TX_EN		SDMMC2_D2		LTDC_B3	DCMI_D3
PG12	TIM24_CH2	LPTIM1_IN1		UART1_RX	SPI6_MISO			UART6_RTS	TIM23_CH1	OSPI2_NCS	ETH_MII_TXD1/ETH_RMII_TXD1	FMC_NE4	LTDC_B4	SDMMC2_D3	LTDC_B1	
PG13	TIM24_CH3	LPTIM1_OUT		UART1_CK	SPI6_SCK			UART6_CTS	TIM23_CH2	SDMMC2_D0DIR	ETH_MII_TXD0/ETH_RMII_TXD0	FMC_A24	SDMMC2_D6		LTDC_R0	
PG14	TIM24_CH4	LPTIM1_ETR		SPI5_CS3	SPI6_MOSI			UART6_TX	TIM23_CH3	SDMMC2_D123DIR	ETH_MII_TXD1/ETH_RMII_TXD1	FMC_A25	SDMMC2_D7	OSPI1_IO7	LTDC_B0	
PG15					SPI5_CS			UART6_CTS		OSPI2_DQS	SDMMC2_CD1R	FMC_SDNCAS	SDMMC2_D5			DCMI_D13
PH0																
PH1																
PH2		LPTIM1_IN2		SPI5_CS4	SPI6_IO3						ETH_MII_CRS	FMC_SDCKE0		OSPI1_IO4	LTDC_R0	
PH3				SPI3_CS4	SPI6_IO2						ETH_MII_COL	FMC_SDNE0		OSPI1_IO5	LTDC_R1	
PH4					I2C2_SCL					OTG1_HS_ULPI_NXT			LTDC_G5		LTDC_G4	
PH5				SPI5_CS	I2C2_SDA							FMC_SDNWE				
PH6			TIM12_CH1	SPI5_SCK			UART10_CK				ETH_MII_RXD2	FMC_SDNE1	DCMI_D8	TIM25_CH2		
PH7				SPI5_MISO	I2C3_SCL		SPI5_SCK	TIM20_CH1N	UART6_CK		ETH_MII_RXD3	FMC_SDCKE1	DCMI_D9	TIM4_CH1		
PH8			TIM5_ETR		I2C3_SDA		SPI6_CS	TIM20_CH2N	UART7_TX			FMC_D16	DCMI_HSYNC	TIM4_CH2	LTDC_R2	
PH9			TIM12_CH2				SPI5_CS	TIM20_CH3N	UART7_RX			FMC_D17	DCMI_D0	TIM4_CH3	LTDC_R3	
PH10			TIM5_CH1			I2C3_SCL	SPI3_MOSI					FMC_D18	DCMI_D1		LTDC_R4	
PH11			TIM5_CH2		I2C4_SCL	I2C3_SDA	SPI3_MISO					FMC_D19	DCMI_D2		LTDC_R5	
PH12			TIM5_CH3		I2C4_SDA	I2C4_SCL	SPI3_IO2					FMC_D20	DCMI_D3		LTDC_R6	
PH13			TIM8_CH1N		CAN1_TX				UART4_TX			FMC_D21			LTDC_G2	
PH14			TIM8_CH2N		CAN1_RX				UART4_RX			FMC_D22			LTDC_G3	DCMI_D4

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH15			TIM8_CH3N		CAN1_STBY				UART4_CK			FMC_D23			LTDC_G4	DCMI_D11
PI0			TIM5_CH4		SPI2_CS		I2S2_WS	CAN2_STBY				FMC_D24			LTDC_G5	DCMI_D13
PI1				UART6_CK	SPI2_SCK		I2S2_CK					FMC_D25			LTDC_G6	DCMI_D8
PI2			TIM8_CH4	UART6_RX	SPI2_MISO	I2C1_SDA	I2S2_SDI	CAN2_RX				FMC_D26			LTDC_G7	DCMI_D9
PI3			TIM8_ETR	UART6_TX	SPI2_MOSI	I2C1_SCL	I2S2_SDO	CAN2_TX				FMC_D27				DCMI_D10
PI4			TIM8_BKIN	SPI3_IO3				UART3_CTS		I2C4_SDA		FMC_NBL2			LTDC_B4	DCMI_D5
PI5			TIM8_CH1									FMC_NBL3		STM1_PWM	LTDC_B5	DCMI_VSYNC
PI6			TIM8_CH2									FMC_D28		STM3_PWM	LTDC_B6	DCMI_D6
PI7			TIM8_CH3									FMC_D29		STM5_PWM	LTDC_B7	DCMI_D7
PI8		TIM18_BKIN		SPI3_CS			TIM25_BKIN									
PI9				SPI3_SCK	CAN1_RX		TIM25_CH1N	UART3_CK	UART4_RX	I2C4_SCL		FMC_D30			LTDC_VSYNC	DCMI_PIXCLK
PI10				SPI3_MISO		I2C2_SDA	TIM25_CH1	UART3_RX			ETH_MII_RX_ER	FMC_D31			LTDC_HSYNC	
PI11				SPI3_MOSI		I2C2_SCL	TIM25_CH2	UART3_TX		OTG1_HS_ULPI_DIR			LTDC_G6			
PI12		TIM18_CH1		UART5_TX											LTDC_HSYNC	
PI13		TIM19_CH1		UART5_RX											LTDC_VSYNC	
PI14		TIM18_CH1N		SPI3_CS3	UART5_CK										LTDC_CLK	
PI15		TIM19_CH1N		UART4_CTS	SPI1_IO3							ETH_MII_RXD2	LTDC_G2		LTDC_R0	
PJ0		TIM19_BKIN		UART4_RTS	SPI1_IO2							ETH_MII_RXD3	LTDC_R7		LTDC_R1	
PJ1				UART2_CTS	SPI1_MISO	LPTIM6_OUT						ETH_MII_TXD2			LTDC_R2	
PJ2		TIM25_BKIN		UART4_RX	SPI1_CS3	I2C4_SCL						ETH_MII_TXD3			LTDC_R3	
PJ3		TIM25_CH1N		UART4_TX	SPI1_CS	I2C4_SDA						ETH_MII_CRS			LTDC_R4	
PJ4		TIM25_CH1	UART2_CK	UART2_RX	SPI1_SCK	UART4_CK						ETH_MII_COL			LTDC_R5	
PJ5		TIM25_CH2		SPI3_IO2				UART3_RTS							LTDC_R6	
PJ6			TIM8_CH2	UART1_TX	SPI6_MOSI	I2C1_SCL		TIM1_CH1							LTDC_R7	
PJ7			TIM8_CH2N	UART1_RX	SPI6_MISO	I2C1_SDA		TIM1_CH2	UART8_CK						LTDC_G0	
PJ8		TIM1_CH3N	TIM8_CH1	UART1_RTS	SPI6_IO2	I2C2_SCL		TIM1_CH3	UART8_TX						LTDC_G1	
PJ9		TIM1_CH3	TIM8_CH1N	UART1_CTS	SPI6_IO3	I2C2_SDA		TIM1_CH1N	UART8_RX						LTDC_G2	
PJ10		TIM1_CH2N	TIM8_CH2	UART6_TX	SPI5_MOSI	I2C3_SCL		TIM1_CH2N							LTDC_G3	
PJ11		TIM1_CH2	TIM8_CH2N	UART6_RX	SPI5_MISO	I2C3_SDA		TIM1_CH3N							LTDC_G4	

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PJ12				UART5_CTS	SPI1_IO3	I2C4_SDA		TIM1_CH3N					LTDC_G3		LTDC_B0	
PJ13				UART5_CK	SPI1_SCK								LTDC_B4		LTDC_B1	
PJ14					SPI1_CS										LTDC_B2	
PJ15				UART8_TX	SPI5_MOSI	I2C3_SCL									LTDC_B3	
PK0		TIM1_CH1N	TIM8_CH3	UART6_RTS	SPI5_SCK	I2C4_SCL	SPI5_IO2	TIM20_CH1			TIM3_CH1				LTDC_G5	
PK1		TIM1_CH1	TIM8_CH3N	UART6_CTS	SPI5_CS	I2C4_SDA	SPI5_IO3	TIM20_CH2			TIM3_CH2				LTDC_G6	
PK2		TIM1_BKIN	TIM8_BKIN		SPI6_SCK			TIM20_CH3	UART1_CK		TIM3_CH3				LTDC_G7	
PK3				UART2_TX	SPI6_MOSI	I2C1_SCL		TIM8_CH1							LTDC_B4	
PK4				UART2_RX	SPI6_MISO	I2C1_SDA		TIM8_CH2							LTDC_B5	
PK5				UART2_RTS	SPI6_IO2	I2C2_SCL		TIM8_CH3							LTDC_B6	
PK6				UART2_CTS	SPI6_IO3	I2C2_SDA		TIM8_CH1N							LTDC_B7	
PK7				UART2_CK	SPI6_SCK			TIM8_CH2N							LTDC_DE	
PK8				UART7_TX	SPI4_MOSI	I2C4_SCL										
PK9				UART7_RX	SPI4_MISO	I2C4_SDA										
PK10				UART7_CK	SPI4_SCK											
PK11				UART7_CTS	SPI4_CS											
PK12				UART7_RTS	SPI4_IO2	I2C1_SCL										
PK13				UART3_CTS	SPI4_IO3						TIM12_CH2				LTDC_B4	
PK14																SDRAM_SDCK E1
PK15																SDRAM_SDNE 1
PL0			UART4_CK	UART3_RTS		UART7_CK									LTDC_CLK	SPI7_SCK
PL1										OSPI2_IO0						SPI7_MOSI
PL2										OSPI2_CLK						SPI7_SCK
PL3										OSPI2_IO3						SPI7_IO3
PL4		TIM24_CH1														SDRAM_NCAS
PL5		TIM24_CH2														SDRAM_NRAS
PL6		TIM24_CH3														SDRAM_SDNE 0
PL7		TIM24_CH4														SDRAM_A14
PL8		TIM24_ETR														SDRAM_A15

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PL9																SDRAM_A10
PL10																SDRAM_A11
PL11																SDRAM_A12
PL12																SDRAM_SDCK E0
PL13																SDRAM_SDCL K
PL14																SDRAM_NBL1
PL15			UART4_CK	UART3_CTS		UART7_CK									LTDC_G7	
PM0													SPI8_MISO			SPI7_MISO
PM1										OSPI2_NCS			SPI8_CS			SPI7_CS
PM2										OSPI2_IO1			SPI8_MISO			SPI7_MISO
PM3										OSPI2_IO2			SPI8_IO2			SPI7_IO2
PM4																SDRAM_D8
PM5																SDRAM_D9
PM6																SDRAM_D10
PM7																SDRAM_D11
PM8			UART5_CK	UART5_TX	SPI3_SCK	UART7_CK	UART7_TX	I2C4_SCL								
PM9				UART5_RX	SPI3_CS		UART7_RX	I2C4_SDA								
PM10					SPI6_CS			TIM8_CH3N								
PM11				UART8_CTS	SPI5_IO3	I2C2_SDA		TIM1_CH1								
PM12				UART7_CTS	SPI4_IO3	I2C1_SDA		TIM1_CH2								
PM13				UART5_TX	SPI1_MOSI	I2C1_SCL		TIM1_CH3								
PM14													OSPI2_CLK			SDRAM_D2
PM15													OSPI2_NCLK			SDRAM_D3
PN0																SDRAM_D24
PN1																SDRAM_D25
PN2																SDRAM_D26
PN3																SDRAM_D27
PN4																SDRAM_D28
PN5																SDRAM_D29

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PN6																SDRAM_D30
PN7																SDRAM_D31
PN8				UART5_TX	SPI3_MOSI		UART7_TX	I2C1_SCL								
PN9				UART5_RX	SPI3_MISO		UART7_RX	I2C1_SDA								
PN10				UART5_RTS	SPI3_SCK	SPI3_IO2	UART7_RTS	I2C2_SCL								
PN11				UART5_CTS	SPI3_CS	SPI3_IO3	UART7_CTS	I2C2_SDA								
PN12																SDRAM_A0
PN13																SDRAM_A1
PN14																SDRAM_A2
PN15																SDRAM_A3
PO0				UART3_CK	SPI3_SCK			TIM12_CH1							LTDC_B5	
PO1			UART3_CK	UART9_CK	SPI4_SCK						TIM10_CH1					
PO2				UART9_TX	SPI3_CS			TIM13_CH1							LTDC_G6	
PO3				UART9_RX	SPI4_CS						TIM11_CH1					
PO4																SDRAM_NBL0
PO5																SDRAM_SDN WE
PO6																SDRAM_A4
PO7																SDRAM_A5
PO8																SDRAM_A6
PO9																SDRAM_A7
PO10																SDRAM_A8
PO11																SDRAM_A9
PO12					SPI3_IO3		I2C4_SDA									LTDC_R7
PO13				UART3_TX	SPI4_MOSI						TIM9_CH1					
PO14				UART3_RX	SPI4_MISO						TIM9_CH2					
PO15				UART3_RTS	SPI4_IO2						TIM12_CH1				LTDC_B3	
PP0				UART9_TX	SPI6_MOSI	I2C1_SCL										
PP1				UART9_RX	SPI6_MISO	I2C1_SDA										
PP2				UART9_RTS	SPI6_IO2	I2C3_SCL										
PP3				UART9_CTS	SPI6_IO3	I2C3_SDA										SPI7_IO2

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PP4				UART9_CK	SPI6_SCK											SPI7_MISO
PP5					SPI6_CS											SPI7_CS
PP6													OSPI2_IO0			SDRAM_D12
PP7													OSPI2_IO1			SDRAM_D13
PP8													OSPI2_IO2			SDRAM_D14
PP9													OSPI2_IO3			SDRAM_D15
PP10				UART5_RX	SPI1_MISO	I2C1_SDA		TIM1_CH1N								
PP11				UART5_RTS	SPI1_IO2	I2C4_SCL		TIM1_CH2N								
PP12				UART8_RX	SPI5_MISO	I2C3_SDA										
PP13				UART8_CK	SPI5_SCK											
PP14					SPI5_CS											
PP15				UART8_RTS	SPI5_IO2	I2C2_SCL										
PQ0													SPI8_IO3			SDRAM_D16
PQ1																SDRAM_D17
PQ2													SPI8_SCK			SDRAM_D18
PQ3																SDRAM_D19
PQ4													SPI8_MOSI			SDRAM_D20
PQ5																SDRAM_D21
PQ6																SDRAM_D22
PQ7																SDRAM_D23
PQ8																SDRAM_D0
PQ9													OSPI2_NCS			SDRAM_D1
PQ10													OSPI2_IO4			SDRAM_D4
PQ11													OSPI2_IO5			SDRAM_D5
PQ12													OSPI2_IO6			SDRAM_D6
PQ13													OSPI2_IO7			SDRAM_D7
PQ14																SDRAM_NBL2
PQ15													OSPI2_DQS			SDRAM_NBL3

4. 功能概述

4.1. 处理器内核

本芯片采用基于 ARMv8-M 架构的 Star MC1 处理器内核，支持 Cortex-M33 和 Cortex-M4F 指令集。系统频率最高可达 220MHz，支持单精度浮点运算 (FPU) 和 DSP 扩展，支持 MPU 存储保护功能。

内核处理器采用 Star-MC1。处理器包括两个总线接口分别称为 C-AHB 总线、S-AHB 总线：

- C-AHB 总线: 用于访问代码区的指令或数据。
- S-AHB 总线: 用于访问 SRAM 区、外部 RAM 区、外设区或厂商自定义系统区的指令或数据。

处理器配置了 16KB 的指令缓存 (ICACHE) 和 16KB 的数据缓存 (DCACHE)，可提高代码执行效率，同时支持 32KB 指令 RAM (ITCM) 和 32KB 数据 RAM (DTCM)。

处理器的具体规格可参见 Star-MC1 的 User Guide。

4.2. 存储器

4.2.1. SRAM

芯片内部集成 SRAM 的特性如下：

- 352KB 的系统 SRAM，分成：
 - 192KB SRAM1，带 ECC，支持双 bit 错误检测及单 bit 纠错
 - 128KB SRAM2
 - 32KB SRAM3，带 ECC，支持双 bit 错误检测及单 bit 纠错
 - 均支持字节、半字（16 位）以及字（32 位）访问
- 32KB ITCM（指令紧密耦合 RAM），可在最高系统时钟频率下以零等待周期寻址
- 32KB DTCM（数据紧密耦合 RAM），可在最高系统时钟频率下以零等待周期寻址
- 4KB 的备份 SRAM，带 ECC，支持双 bit 错误检测及单 bit 纠错

4.2.2. EFUSE

芯片内置两块 EFUSE，每块容量 256Bytes。按 Byte 操作，只能写一次。

EFUSE1 用于芯片配置，EFUSE2 可供用户使用。

4.2.3. 内部叠封 SPI-FLASH

芯片内部叠封 SPI-FLASH，通过 SPI7 访问，支持内存映射模式。

其特性由具体封装型号决定。

表 4-1 叠封 FLASH 的 SPI7 信号

型号	封装	FLASH 容量	SPI7_CS	SPI7_SCK	SPI7_MOSI	SPI7_MISO	SPI7_IO2	SPI7_IO3
H528VIT7-G	LQFP100	2MB	PP5	PL2	PL1	PP4	PP3	PL3
H538VMT6-TM	LQFP100	4MB						
H528ZIT7-G	LQFP144	2MB						

H538ZMT6-TM	LQFP144	4MB						
H528IIT7-G	LQFP176	2MB						

4.2.4. 内部叠封 OSPI-PSRAM

芯片内部叠封 OSPI-PSRAM，通过 OSPI2 访问，支持内存映射模式。

其容量和特性由具体封装型号决定。

表 4-2 叠封 PSRAM 的 OSPI2 信号

OSPI2	H538VMT6-TM (LQFP100,8MB) H538ZMT6-TM (LQFP144,8MB)
IO0	PP6
IO1	PP7
IO2	PP8
IO3	PP9
IO4	PQ10
IO5	PQ11
IO6	PQ12
IO7	PQ13
NCS	PQ9
CLK	PM14
DQS	PQ15
NRST	PN0

4.2.5. 内部叠封 SDRAM

芯片内部叠封 SDRAM，其容量和特性由具体封装型号决定。

4.3. 启动配置

芯片上电时总是从 ROM 启动，首先读取 EFUSE 中的 BOOT_DEVICE 启动设备字段、系统寄存器 WMR 的 BOOTDEVICE 标志位（锁存 BOOT1/2 引脚的状态），决定选用哪一组 SPI 端口 FLASH 作为外部启动设备。

然后读取 EFUSE 和 SPI-FLASH 中的 BOOT_MODE 启动模式字段、系统寄存器 WMR 的 BOOTMODE 标志位（锁存 BOOT0 引脚的状态），决定是进入 ROM bootloader 下载模式还是从 SPI-FLASH 启动。

芯片出厂前会通过 EFUSE 中的 BOOT_DEVICE 对外部启动设备进行配置，所以用户无需关心外部启动设备配置。

BOOT[2:0]引脚状态锁存：

复位后（上电复位、外部引脚复位）或从 Standby 模式退出时，在 SYSCLK 的第四个上升沿锁存 BOOT[2:0]引脚的值；BOOT0 保存到系统寄存器 WMR 的 BOOTMODE 位，BOOT1 和 BOOT2 保存到 BOOTDEVICE[1:0]位。

BOOT0 引脚为 BOOT 专用引脚，BOOT2 和 BOOT1 引脚在复位或退出待机模式后，用户可以使用 BOOT2 和 BOOT1 引脚上的复用功能。

表 4-3 外部启动设备选择

配置			SPI 端口 FLASH
EFUSE.BOOT_DEVICE	BOOT2	BOOT1	
0xF0	x	x	(Q)SPI8-1NOR Flash
0xE1	x	x	(Q)SPI8-0 NOR Flash
0xC3	x	x	(Q)SPI7-1 NOR Flash
0xD2	x	x	(Q)SPI7-0 NOR Flash
not 0xF0, 0xE1, 0xC3, 0xD2	0	0	(Q)SPI8-1NOR Flash
	0	1	(Q)SPI8-0 NOR Flash
	1	0	(Q)SPI7-1 NOR Flash
	1	1	(Q)SPI7-0 NOR Flash

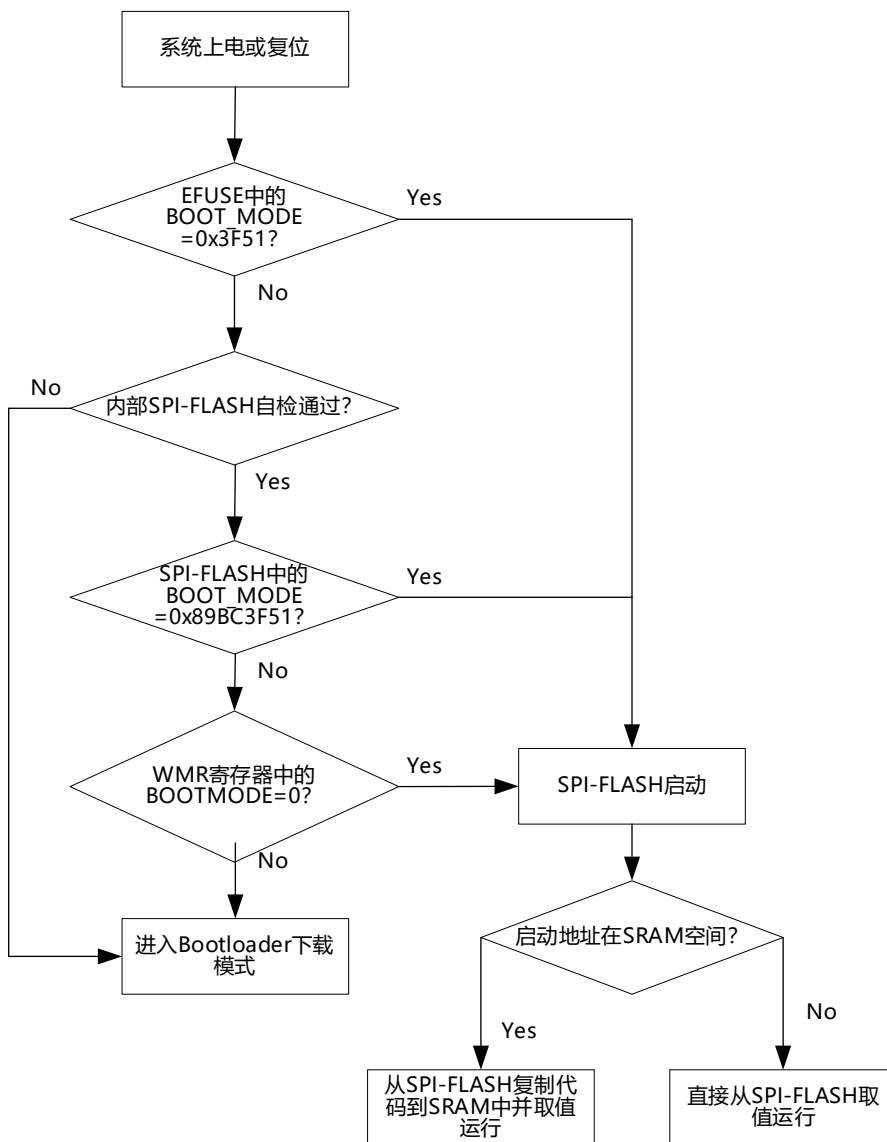
注：(Q)SPI7 NOR Flash 在芯片管脚上有 2 组：(Q)SPI7-0 和(Q)SPI7-1；(Q)SPI8 NOR Flash 在芯片管脚上有 2 组：(Q)SPI8-0 和(Q)SPI8-1

表 4-4 启动模式选择

启动模式选择			启动模式
EFUSE.BOOT_MODE	SPI-FLASH.BOOT_MODE	BOOT0	
0x3F51	x	x	从 SPI-FLASH 启动
Not 0x3F51	0x3F51	x	从 SPI-FLASH 启动
Not 0x3F51	Not 0x89BC3F51	0	从 SPI-FLASH 启动
Not 0x3F51	Not 0x89BC3F51	1	进入 ROM bootloader 下载模式

下图描述了芯片启动模式选择过程。

图 4-1 芯片启动模式选择



4.4. 电源管理单元 (PMU)

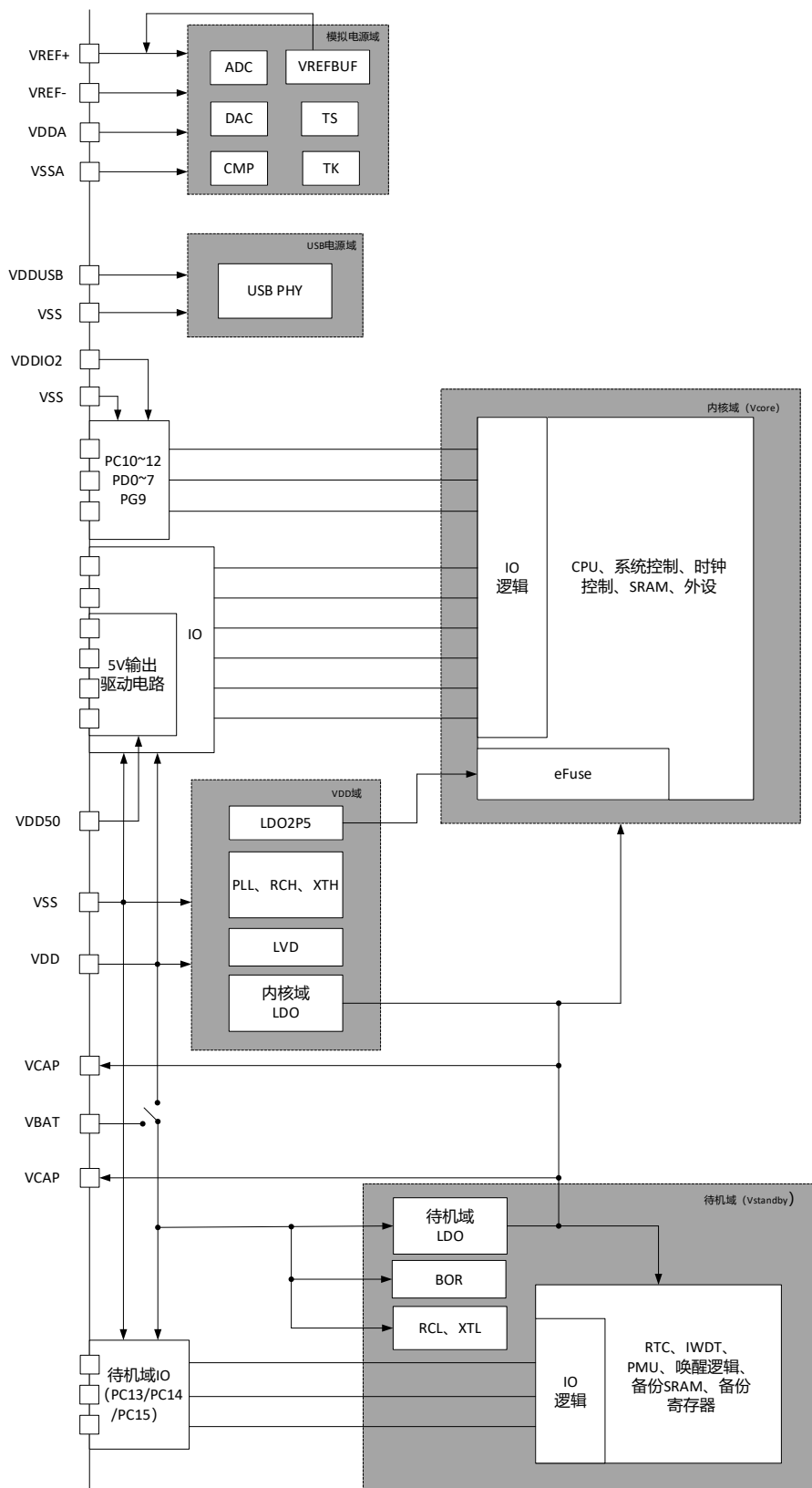
4.4.1. 供电电源

芯片的工作电压 (VDD) 2.97~3.6V。如下图所示:

- VDD (2.97~3.6V) 为 IO、稳压器、LVD、BOR、PLL、内部 RC 时钟等供电
- VDDA (2.97~3.6V) 为 ADC、DAC、TS、TKEY 和 COMP 等供电, 当不使用这些外设时, 最好将 VDDA 连接到 VDD 上
- VDDUSB (2.97V~3.6V)、VSSUSB 为高速收发器 USB OTG HS 供电; 某些封装内部已将 VDDUSB 连接到 VDD; 对于内部未连接在一起的封装, 当不使用 USB 时, 最好将 VDDUSB 连接到 VDD
- VDDIO2 (1.62V~3.6V) 为 PD[7:0]、PC[12:10]、PG9 单独供电; 当不使用这些 IO 时, VDDIO2 最好连接到 VDD
- VDD50 为 IO 5V 驱动输出电路提供供电
- VCAP 为内核域和待机域 LDO 稳压器输出, 外接电容
- VBAT 为待机区供电; 待机区电源由内部电源切换器来选择 VDD 供电或 VBAT 供电

- VREF+和 VREF-: VREF+为 ADC 和 DAC 的外部参考电压, 同时也是内部电压参考缓冲器的输出。
 - VREF+可由外部提供、或内部 VREFBUF 提供
 - VREF-连接到 VSSA
 - 当 ADC 和 DAC 禁止时, VREF+可以接地
- VSSA, 独立的模拟地
- VSS, 芯片的公共地

图 4-2 系统电源框图



4.4.2. 低功耗模式

在芯片上电复位或者系统复位后，芯片处于运行模式 (RUN)。芯片可以通过降低系统时间频率，或者关闭不使用模块时钟的方法降低功耗。

用户需要根据最低功耗需求、最快唤醒时间和唤醒方式和待机时候的工作需求等选择合适的低功耗模式。主要包括如下低功耗模式：

- 睡眠模式 (SLEEP)：内核停止工作，外设保持工作
- 停止模式 (STOP)：系统时钟关闭；RCL/XTL 时钟下的外设可以工作
- 待机模式 (STANDBY)：主 LDO 电源关断，仅待机区外设 (RTC 和 IWDT) 工作

4.5. 复位和时钟控制 (RCC)

4.5.1. 复位源

芯片支持三种类型的复位：

- 电源复位
- 系统复位
- 待机域复位

以下复位源产生复位会导致系统复位：

- 上电/掉电复位 (POR/PDR)
- 欠电复位 (BOR)
- 外部复位引脚复位 (NRST)
- 系统看门狗 (WDT)
- 独立看门狗 (IWDT)
- 软件复位 (SoftReset)
- 低电压检测复位 (LVD)
- 退出 STANDBY 低功耗模式

4.5.2. 时钟系统

芯片内置 2 个内部振荡器、2 个外部晶体振荡器和 3 个 PLL。

芯片上电系统时钟默认为 RCH 时钟；用户可以根据应用需求进行选择配置；对于每个时钟源来说，在未使用时都可单独打开或者关闭，以降低功耗。

芯片支持以下时钟源：

- 内部振荡器：
 - 64MHz RCH 时钟
 - 32KHz RCL 时钟
- 外部晶体振荡器：
 - 4~32MHz 外部晶体振荡器时钟 XTH
 - 32.768KHz 外部晶体振荡器时钟 XTL
- 芯片内置 3 个 PLL：

- PLL1: 主 PLL, 用于为系统及部分外设提供高速时钟
- PLL2 和 PLL3: 专用 PLL, 用于生成精确时钟, 为特定外设提供时钟

- PLL1 和 PLL2 具有以下特性:
 - 时钟输入 (CLKIN) 频率范围: 1MHz~132MHz
 - PFD 输入 (CLK_PFD) 频率范围: 1MHz~2MHz
 - VCO 输出 (CLK_VCO) 频率范围: 100MHz~550MHz
 - 时钟输出 (CLK_P) 频率范围: 30MHz~275MHz
 - 时钟输出 (CLK_Q) 频率范围: 16MHz~550MHz
 - 支持扩频时钟 (SSC, Spread Spectrum Clocking) 功能

- PLL3 具有以下特性:
 - 时钟输入 (CLKIN) 频率范围: 1MHz~50MHz
 - 时钟输出 (CLKO) 频率范围: 200MHz~500MHz

4.6. 外设系统互联

多个外设间可以直接连接, 这可以在外设间实现自动通信和同步, 从而节省 CPU 资源和降低功耗。此外, 这些硬件连接可消除软件延时、设计可预测的系统并能够减少引脚和 GPIO 的数量。

4.7. 嵌套向量中断控制器 (NVIC)

嵌套向量中断控制器(NVIC) 是内核处理器的一个重要组成部分。它与 CPU 处理器内核紧密耦合, 实现低中断延迟以及对新到中断的有效处理, 外部中断信号连接到 NVIC, NVIC 将对这些中断进行优先级排序。

所有的 NVIC 寄存器只能采用字传输。任何试图读/写半字或字节的结果都是不可预知的。

NVIC 寄存器都是小端格式。访问处理器要正确处理处理器的大小端配置。

■ 主要特性如下

- 支持 142 路可屏蔽向量中断
- 16 个可编程中断优先级
- 可嵌套中断支持
- 中断可屏蔽
- 电平触发和边沿触发

4.8. 外部中断/事件控制器 (EXTI)

EXTI 包含 31 个相互独立的边沿检测电路并且可以向处理器产生中断请求或事件唤醒。EXTI 提供 3 种触发类型, 其中请求源 0~15 为 GPIO 管脚可支持上升沿触发, 下降沿触发和任意沿触发, 其他请求源默认使用上升沿触发。EXTI 中每个边沿检测电路都可以分别配置或屏蔽。挂起寄存器保持着状态线的中断请求。

4.9. DMA 控制器 (DMA)

本芯片内置两个 DMA 控制器。每个 DMA 控制器有 8 个通道。

DMA 提供了一种硬件的数据传输方式，无需 CPU 的介入，可以处理外设和存储器之间或者存储器和存储器之间的传输数据。因无 CPU 介入，从而使 CPU 可以专注在处理其他系统功能上。DMA 控制器有 8 通道，每个通道都可以处理一个或多个外设的存储器访问请求。DMA 控制器内部包含了仲裁器，用来仲裁多个 DMA 请求的优先级。

■ 主要特性如下

- 每个 DMA 控制器含有 8 个 DMA 通道，每个通道都可独立配置
- 支持外设到存储器、存储器到外设、存储器到存储器的数据传输
- 每个通道连接的硬件 DMA 请求可有软件配置
- 支持硬件优先级（通道 0 拥有最高优先级，通道 7 拥有最低优先级）
- 支持源地址/目标地址递增或不变
- 每个通道有 16 bytes 的内部 FIFO
- 支持字节/半字/字的传输，源和目标的数据宽度不相等时，DMA 自动封装/解封必要的传输数据来优化带宽
- 支持 Burst 功能（每次外设请求一次，DMA 需要传输的数目）
- 支持链表功能，可以实现循环传输、双缓冲传输
- 支持大端模式和小端模式
- 支持 DMA 中断功能
- 原始中断：内部中断信号，不管对应通道的中断是否使能，都会置位
- 屏蔽后中断：原始中断和通道中断使能进行逻辑与的结果
- 可控的传输数目，最少支持 1，最多支持 65535

4.10. 通用输入输出口 (GPIO)

支持最多 206 个 GPIO，分成多个组，每组 GPIO 包含 16 个通用数据输入输出接口，这些管脚可以与其他功能管脚共享，这取决于芯片的配置。通过这些数据接口，可以配置任意数目的管脚作为中断信号输入。

复用功能 (AF) 的备用引脚，极大提高了端口利用的灵活性。GPIO 引脚通过配置相关的寄存器可以用作复用功能输入/输出引脚。

每个 GPIO 引脚可以独立配置为输出（推挽或开漏）、输入、外设复用功能或模拟模式。每个 GPIO 引脚可以独立配置为上拉、下拉或浮空。

有 12 个 GPIO(PC10~PC12, PD0~PD7, PG9)由独立的 VDDIO2 电源供电。

■ GPIO 主要特性如下

- 所有输入/输出引脚方向都可以通过软件进行配置
- 支持施密特触发器输入
- 每个引脚具有弱上/下拉功能
- 支持推挽/开漏输出
- 支持置位/清零输出功能，可按位操作

- 支持模拟输入/输出配置
- 所有 GPIO 引脚可复用为 EXTI，且边沿可配置
- 支持复用功能输入/输出配置
- 支持端口配置锁定

4.11. 定时器和看门狗

4.11.1. 定时器的分类

通用 MCU 的定时器包括以下几种类型：

- 基本定时器，包含基本的自动装载和可编程预分频的计数器；
- 通用定时器，在基本定时器基础上，加入输入/输出通道控制、触发控制和编码功能；
- 高级定时器，在通用定时器基础上，加入输出互补、刹车控制功能。

表 4-5 定时器的类型

功能	高级定时器 TIM1/8/20	通用定时器 TIM2/3/4/5/23/24	通用定时器 TIM9/12	通用定时器 TIM10/11/13/14	通用定时器 TIM15/25	通用定时器 TIM16/17/18/19	基本定时器 TIM6/7/21/22
预分频器分辨率	16 位	16 位	16 位	16 位	16 位	16 位	16 位
计数器分辨率	16 位	TIM2/5/23/24 为 32 位 TIM3/4 为 16 位	16 位	16 位	16 位	16 位	16 位
计数模式	向上, 向下, 中央对齐	向上, 向下, 中央对齐	向上	向上	向上	向上	向上
重复计数器	●	×	●	●	●	●	×
捕获/比较通道	4	4	2	1	2	1	0
互补输出和死区插入	支持, 4 个通道	×	×	×	支持, 1 个通道	支持, 1 个通道	×
刹车功能	●	×			●	●	×
单脉冲(OPM)模式	●	●	●	●	●	●	×
编码模式	支持, 编码模式 1/2/3	支持, 编码模式 1/2/3	×	×	×	×	×
外部时钟模式 2	●	●	×	×	×	×	×
外部事件清除 OCxREF	●	×	×	×	×	×	×
6 步 PWM	●	×	×	×	×	×	×
强制输出模式	●	●	●	●	●	●	×
输入 XOR 功能	●	●	×	×	×	×	×
DMA 请求产生	●	●	×	×	●	●	●

●代表支持该功能。×代表不支持该功能。

4.11.2. 高级定时器 (TIM1/8/20)

高级定时器 (TIM1/8/20) 由一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM、嵌入死区时间的互补 PWM 等)。使用定时器预分频器和系统时钟控制预分频器, 可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 高级定时器特性如下

- 16 位向上、向下、向上/下自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 多达 4 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成(边缘或中间对齐模式)
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 刹车信号输入
- 支持针对定位的增量(正交)编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理

4.11.3. 通用定时器 (TIM2/3/4/5/23/24)

通用定时器 (TIM2/3/4/5/23/24) 由一个 16/32 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM 等)。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 本组通用定时器特性如下:

- 16/32 (TIM3/4: 16 位, TIM2/5/23/24: 32 位) 位向上、向下、向上/下自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 多达 4 个独立通道:
 - 输入捕获

- 输出比较
- PWM 生成(边缘或中间对齐模式)
- 单脉冲模式输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
- 支持针对定位的增量(正交)编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理

4.11.4. 通用定时器 (TIM9/12)

通用定时器 (TIM9/12) 由一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM 等)。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 本组通用定时器特性如下:

- 16 位向上、向下、向上/下自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 多达 2 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成(边缘或中间对齐模式)
 - 单脉冲模式输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较

4.11.5. 通用定时器 (TIM10/11/13/14)

通用定时器 (TIM10/11/13/14) 由一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含产生输出波形(输出比较、PWM 等)。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 本组通用定时器特性如下:

- 16 位向上、向下、向上/下自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 1 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成(边缘或中间对齐模式)
 - 单脉冲模式输出
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较

4.11.6. 通用定时器 (TIM15/25)

通用定时器由 (TIM15/25) 一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM、嵌入死区时间的互补 PWM 等)。使用定时器预分频器和系统时钟控制预分频器, 可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 本组通用定时器特性如下:

- 16 位向上自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 2 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 支持针对定位的增量(正交)编码器
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)

- 输入捕获
- 输出比较
- 刹车信号输入
- 触发输入作为外部时钟

4.11.7. 通用定时器 (TIM16/17/18/19)

通用定时器 (TIM16/17/18/19) 由一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM、嵌入死区时间的互补 PWM 等)。使用定时器预分频器和系统时钟控制预分频器, 可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 本组通用定时器特性如下:

- 16 位向上自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 1 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 如下事件发生时产生中断/DMA:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 刹车信号输入
- 触发输入作为外部时钟

4.11.8. 基本定时器 (TIM6/7/21/22)

基本定时器 (TIM6/7/21/22) 包含一个 16 位自动装载计数器, 由各自的可编程预分频器驱动。它们可以作为通用定时器提供时间基准。

■ 基本定时器特性如下:

- 16 位自动重装载累加计数器
- 16 位可编程(可实时修改)预分频器, 用于对输入的时钟按系数为 1 ~ 65536 之间的任意数值分频
- 在更新事件(计数器溢出)时产生中断/DMA 请求

4.11.9. 64 位定时器 (TIM26)

64 位定时器由一个 64 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。使用定时器预分频器和系统时钟控制预分频器, 实现计数时钟频率。

■ 64 位定时器特性如下:

- 64 位可编程向上计数器
- 6 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1 ~ 64 之间的任意数值

4.11.10. 低功耗定时器 (LPTIM1~6)

内置 6 路低功耗定时器 LPTIM。LPTIM 是一个 16 位定时器, 可从降低功耗的最终发展中受益。由于 LPTIM 的时钟源具有多样性, 因此 LPTIM 能够在所有电源模式 (待机模式除外) 下保持运行状态。即使没有内部时钟源, LPTIM 也能运行, 鉴于这一点, 可将其用作“脉冲计数器”, 这种脉冲计数器在某些应用中十分有用。此外, LPTIM 还能将系统从低功耗模式唤醒, 因此非常适合实现“超时功能”, 而且功耗极低。

LPTIM 引入了一个灵活的时钟方案, 该方案能够提供所需的功能和性能, 同时还能最大程度地降低功耗。

■ 低功耗定时器 LPTIM 特性如下:

- 16 位递增计数器
- 3 位预分频器, 可采用 8 种分频系数 (1、2、4、8、16、32、64 和 128)
- 可选时钟
 - 内部时钟源: LSE、LSI、HSI16 或 APB 时钟
 - LPTIM 输入的外部时钟源 (在没有 LP 振荡器运行的情况下工作, 由脉冲计数器应用使用)
- 16 位 ARR 自动重载寄存器
- 16 位比较寄存器
- 连续/单次模式
- 可选软件/硬件输入触发
- 可编程数字干扰滤波器
- 可配置输出: 脉冲和 PWM
- 可配置 I/O 极性
- 编码器模式
- 重复计数器

4.11.11. 系统看门狗 (WDT)

系统看门狗 (WDT) 是一个定时器电路, 通常被用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

看门狗模块采用 32 位的递减计数器, 从一个可编程的加载值减到零。当计数器计数减为 0, 如果看门狗模式设为复位, 则看门狗模块输出复位信号复位系统; 如果看门狗模式设为中断, 则触发看门狗中断, 如果在设定的清除时间限定内软件仍未清除看门狗中断, 则产生复位信号复位系统。

用户可以通过设置看门狗使能位来停止/启动计数器。使能看门狗定时器后, 应用程序需要在看门狗产生复位之前进行喂狗。否则 WDT 会产生复位信号复位系统。

WDT 最适合那些要求看门狗在精确计时范围内起作用的应用程序。

■ 主要特性如下:

- 32 位的递减计数器
- 可编程预分频
- 可编程装载值
- 可编程中断清除时限
- 条件复位
 - 看门狗模式为复位时, 当递减计数器等于 0, 则产生复位
 - 看门狗模式为中断时, 当递减计数器等于 0, 经过中断清除时限后, 产生复位。
- 如果启动了看门狗并允许中断, 当递减计数器等于 0 时产生中断, 在中断清除时限内, 可以进行喂狗以避免 WDT 复位。

4.11.12. 独立看门狗 (IWDT)

独立看门狗 (IWDT) 由专用低速时钟 (RCL) 驱动, 因此即便在主时钟发生故障时仍然保持工作状态。系统看门狗 (WDT) 时钟由 APB 时钟经预分频后提供, 检测应用程序非正常的过迟的操作。

IWDT 最适合应用于那些需要看门狗作为一个在主程序之外, 能够完全独立工作, 并且对时间精度要求较低的情况。WDT 最适合那些要求看门狗在精确计时起作用的应用程序。

■ 主要特性如下:

- 自由运行的 12 位向下计数器
- 计数器计数至 0x000 时产生复位
- 当递减计数器在窗口外被重新装载, 则产生复位
- 可编程预分频因子和可编程装载值
- 时钟由独立的 32K 时钟提供
- 上电硬件使能
- 可作为 STOP 模式唤醒源

4.12. 实时时钟 (RTC)

实时时钟 (RTC) 是一个独立的 BCD 定时器/计数器。RTC 提供一个日历时钟、一个可编程闹钟中断, 以及一个具有中断功能的周期性可编程唤醒标志。RTC 还包含用于唤醒低功耗模式的自动唤醒单元。

RTC 提供二进制十进制格式 (BCD) 的秒、分、时、日、周、月、年, 并自动将月份的天数补偿为 28、29 (闰年)、30 和 31 天。

RTC 使用数字校准功能对晶振精度的偏差进行补偿。上电复位后, 所有 RTC 寄存器都会受到保护, 以防止可能的非正常写访问。无论器件状态如何 (运行模式、低功耗模式或处于复位状态), 只要电源电压保持在工作范围内, RTC 便不会停止工作。

■ RTC 特性如下:

- 包含秒、分钟、小时 (24 小时制)、星期几、日期、月份和年份的日历。
- 自动闰年调整
- 数字校准功能: 通过调整最小时间单位 (最大可调精度 0.95ppm) 来进行日历校准, 调校后理论精度 +/- 0.477ppm
- 自动唤醒单元, 可周期性地生成标志以触发自动唤醒中断,
- 16 位可编程自动重载递减定时器
- 闹钟功能, 可通过任意日历字段的组合驱动闹钟。
- RTC 计时器部分不复位
- 入侵检测:
 - 2 个带可配置滤波的入侵检查
 - 入侵事件可配置为上升沿和下降沿, 并可配置清除备份寄存器
 - 入侵事件可产生时间戳
- 16 个 32 位 (共 64 字节) 通用备份寄存器, 能够在省电模式下保存数据。当有外部侵入事件发生时, 备份寄存器可复位 (可配置)。
- RTC 计数时钟可在 XTL 和 RC32K 中选择
- RTC_OUT 可在多个信号选择: 秒方波、秒计数进位、闹钟匹配、周期唤醒
- 可屏蔽中断/事件:
 - 闹钟
 - 周期唤醒
 - 侵入事件

4.13. 外部存储器控制器 (FMC)

FMC 包括 3 个存储器控制器:

NOR/SRAM 控制器

NAND 控制器

SDRAM 控制器

4.13.1. NOR Flash/PSRAM 控制器 (FMC_NORSRAM)

NOR Flash/PSRAM 控制器，用来访问各种片外存储器。通过配置寄存器，可以把 AMBA 协议转换为专用的片外存储器通信协议，包括 SRAM，PSRAM，ROM、NorFlash 和 8080-LCD。用户还可以调整配置寄存器中的时间参数来提高通信效率。

■ 主要特性如下

- 支持片外存储器类型：
 - SRAM
 - PSRAM
 - ROM
 - NOR Flash
 - 8080-LCD
- AMBA 协议与各种片外存储器协议转换
- 时序参数可编程可以满足用户特定需求
- 对于部分存储器类型支持独立的读写时序
- 支持 8 位，或 16 位总线带宽
- NOR Flash 和 PSRAM 支持地址总线和数据总线的复用
- 提供写使能和字节选择信号
- 当 AMBA 总线宽度与外部存储器数据宽度不同时，会自动分割操作
- 支持同步模式、Burst 突发模式

4.13.2. SDRAM 控制器 (FMC_SDRAM)

SDRAM 控制器的主要功能把 AHB 总线操作转换为 SDRAM 接口协议，用于连接同步 DRAM (SDRAM/Mobile LPDDR SDRAM) 存储器，支持 SDRAM 的读写操作和刷新功能。

■ 主要特性如下

- 两个 SDRAM 存储区域，可独立配置
- 16 位和 32 位数据总线宽度
- 13 位行地址，11 位列地址，4 个内部存储区域：4x16Mx32bit (256 MB)、4x16Mx16bit(128 MB)
- 支持字、半字和字节访问
- SDRAM 时钟可以是 HCLK/2 或 HCLK/3
- 自动进行行和 Bank 边界管理
- 多 Bank 乒乓访问
- 可编程时序参数
- 支持自动刷新操作，可编程刷新速率
- 自刷新模式

- 掉电模式
- 通过软件进行 SDRAM 上电初始化
- CAS 延迟 1,2,3
- 读 FIFO 可缓存, 支持 8 行 x 32 位深度 (8 x14 位地址标记)

4.13.3. NAND Flash 控制器 (FMC_NAND)

NAND Flash 控制器实现将系统 CPU 总线转换成符合外部 NAND Flash 存储器协议的写地址、写命令、写数据、读数据等基本操作。

■ 主要特性如下:

- AHB 总线便于系统集成, 同时实现高速的读写操作。
- 标准的 SDR 接口, 符合 ONFi 标准。
- SDR 接口时序可配置, 支持多种型号的 NAND Flash 存储器。
- 支持大小端数据可配置。
- NAND Flash 接口支持 8 比特。
- BCH 算法支持
 - 硬件即时编/译码。
 - 每页可纠正 8 个比特的错误 (512 字节数据+3 字节信息位+13 字节 ECC 校验位)
 - 支持不流水线模式。
 - 支持自动纠错。

4.14. SDMMC 接口 (SDMMC)

本芯片内置 2 路 SDMMC 接口。

安全数字输入/输出多媒体卡接口(SDMMC)定义了 SD 卡、SD I/O 卡、多媒体卡(MMC) 和 CE-ATA 卡 Host Controller, 提供 AHB 系统总线与 SD 存储卡、SD I/O 卡、MMC 和 CE-ATA 设备之间的数据传输。

■ SDMMC 主要特性如下:

- MMC: 完全兼容多媒体卡系统规范版本 5.0。卡支持三种不同数据总线模式: 1 位 (默认)、4 位和 8 位。完全兼容先前版本的多媒体卡(向后兼容性)
- SD 卡: 完全兼容 SD 存储卡规范版本 3.0 和 3.01
- SDI/O: 完全兼容 SDIO 卡规范版本 3.0。有两种不同的数据总线模式: 1 位(默认)和 4 位。
- CE-ATA: 完全兼容 CE-ATA 数字协议版本 1.1
- 对于 8 位模式, 数据传输高达 208 MB/s(取决于允许的最大 I/O 速度)
- 数据和命令输出使能信号, 控制外部双向驱动程序
- 完成信号使能和失能(CE-ATA)
- 内置 FIFO, 宽度为 32bit, 深度为 16, 支持当 over-run 和 under-run 时停止时钟

- 支持可编程的波特率。支持最多四种时钟分配率以满足在不同波特率下通信的要求
- 支持时钟控制开关
- 支持卡检测
- 支持卡写保护
- 支持 block size 从 1 到 65536
- 支持 DMA 传输

4.15. 串行外设接口 (SPI)

支持 8 路 SPI 接口，其中 3 路 (SPI4/SPI7/SPI8) 支持 QSPI-MEM 接口。

串行外设接口 (SPI) 模块用于微控制器 (MCU) 与满足 SPI 外设之间进行全双工、全同步、串行通讯，该接口可配置为主模式或从模式，在配置为主器件时，它为外部从器件提供通信时钟 (SCK)。从器件选择信号 (CS) 可以由主器件提供，也可以选择由从器件提供。SPI 主/从模式均支持标准 SPI 模式 (1 线模式)、DSPI 模式 (2 线模式)、QSPI 模式 (4 线模式)。

■ SPI 主要特性如下：

- 可选择主/从模式
- 功能模式: 间接模式和内存映射模式
- 在内存映射模式下支持读写操作
- 可通过两级分频因子来配置宽范围波特率
- 支持 Mode0/1/2 /3 四种传输协议
- 支持 SPI 一线、二线、四线传输
- 发送/接收数据 FIFO 大小为 16 个字节

4.16. 八线 SPI 接口 (OSPI)

本芯片支持 2 路 OSPI 接口。

OSPI 接口模块用于微控制器 (MCU) 与满足 OSPI 外设之间进行全双工、全同步、串行通讯；OSPI 接口 IP 可以工作在查询或中断方式下。

■ OSPI 主要特性

- 功能模式: 间接模式和内存映射模式
- 在内存映射模式下支持读写操作
- 可通过两级分频因子来配置宽范围波特率；
- 支持 Mode0/1/2 /3 四种传输协议 (除八线 DTR 模式)
- 支持 SPI 一线、二线、四线、八线传输
- 支持 SDR 和 DTR 模式(仅八线)

- 支持 Xccela OPI、APM OPI、HyperBus™、xOSPI 等协议
- 间接模式支持 DMA 访问
- 发送/接收数据 FIFO 大小为 16 个字节

4.17. 通用异步收发器 (UART)

内置 10 路 UART，其中 2 路 UART (UART3 和 UART6) 支持 64 字节的接收 FIFO，其他 8 路 UART 的接收 FIFO 为 16 字节。

■ UART 主要特性如下：

- UARTA 支持 CTS, RTS 控制流
- 16 字节的硬件收发 FIFO (其中 UART3 和 UART6 支持 64 字节的接收 FIFO)
- 波特率支持整数和小数分频
- 支持 CTS, RTS 流控制
- 错误起始位侦测
- 帧中断检测
- 总线空闲检测
- 支持多机通信功能
- 支持 7816 主机模式
- 支持波特率自适应功能
- 支持波特率计数功能
- 可编程位宽，奇偶或 0/1 校验，停止位个数
- 支持同步主模式

4.18. 低功耗异步收发器 (LPUART)

低功耗 UART (LPUART) 是一个低功耗的 UART 模块，通讯可以使用独立的时钟源。只需要使用 32.768KHz 的时钟就可以使用 9600 波特率通讯。更高的波特率可以通过外部选择更快的时钟源实现。

当 LPUART 使用 PCLK 作为时钟时，可以达到更高的波特率。即使设备处于低功耗模式，LPUART 也可以在极低能耗的情况下等待传入的 UART 帧。LPUART 包括所有必要的硬件支持，以最小的功耗实现异步串行通信。DMA (直接存储器访问) 可用于数据传输/接收。

■ LPUART 主要特性如下：

- 寄存器和通讯时钟独立
- LPUART 一共支持三种时钟，分别为：RCL、XTL、PCLK 分频 (分频系数由 LPUARTDIV 确定)
- 32.768KHz 时钟，最大支持 9600 波特率
- 可编程数据字长 (7 位或 8 位)
- 可使用 PCLK 的分频时钟作为工作时钟

- 奇/偶校验、0/1 校验或者无校验可配置
- 可配置停止位 (1 或 2 个停止位)
- STOP 模式下唤醒系统：起始位、收到 1 字节或者收到字节匹配
- 支持 DMA 工作
- 总线空闲检测

4.19. 内部集成电路总线接口 (I2C)

本芯片内置 4 个 I2C 总线接口。

I2C 总线是连接微控制器和其他集成电路芯片之间的串行总线。它有两根线，一根是时钟信号线 SCL，另一根是数据信号线 SDA。芯片上的 I2C 接口模块通过数据引脚 SDA 和时钟引脚 SCL 连接到 I2C 总线上，控制所有 I2C 总线规定的时序。I2C 模块可配置成主模式（支持多主机功能）或从模式，它支持标准、快速和快速增强三种速率，同时兼容 SMBus2.0。

根据特定设备的需要，可以使用 DMA 以减轻 CPU 的负担。

■ I2C 主要特性如下：

- 支持主模式和从模式
- 支持多主机模式，支持仲裁机制
- I2C 主设备功能：
 - 生成时钟
 - 起始位和停止位生成
- I2C 从设备功能：
 - 可编程的 I2C 从设备地址
 - 支持 7bit 设备地址，支持多个从设备地址
 - 可编程的 NACK/ACK 回复
- 支持不同的通讯速度
 - 标准（高至 100KHz）
 - 快速（高至 400KHz）
 - 快速增强（高至 1MHz）
- 支持从机拉时钟功能
- 支持 DMA 收发数据
- 兼容 SMBus2.0

4.20. 片上音频接口 (I2S)

内置 3 路片上音频接口 (Inter-IC Sound, 缩写为 I2S)，通过 I2S 音频协议与外部设备进行通信。I2S 接口支持四种音频标准，分别是 I2S 飞利浦标准，MSB 对齐标准，LSB 对齐标准和 PCM 标准。它可以在四种模式下运行，包括主机发送模式，主机接收模式，从机发送模式和从机接收模式。

■ I2S 主要特性如下:

- 具有发送和接收功能的主从操作
- 支持四种 I2S 音频标准: 飞利浦标准, MSB 对齐标准, LSB 对齐标准和 PCM 标准
- 数据长度可以为 16 位, 24 位和 32 位
- 通道长度为 16 位或 32 位
- 32 位缓冲区用于发送和接收
- 通过 I2S 时钟分频器, 可以得到 8 kHz 到 192 kHz 的音频采样频率
- 可编程空闲状态时钟极性
- 可以输出主时钟 (MCK)
- 发送和接收支持 DMA 功能

4.21. 控制器局域网络 (FDCAN)

本芯片内置 3 路 FDCAN 控制器, FDCAN 控制器遵循 CAN 总线 CAN2.0B 和 CAN FD 协议。

■ FDCAN 主要特性如下:

- 支持 CAN2.0B 和 FDCAN。
- CAN2.0B 最多支持 1M 的波特率。
- FDCAN 的波特率可以自由设置。
- 可编程的分频器 (1 分频到 256 分频)
- 接受 FIFO 可以接受 16 帧数据。
- 发送 FIFO 分为主优先级发送缓冲 (PTB) 和次优先级发送缓冲 (STB)
- STB 支持 FIFO 模式和优先级模式
- 支持 16 组 29 比特的过滤组
- 支持 Single Shot 发送模式
- 支持监听和回环模式
- 支持低功耗模式
- 支持时间戳功能, 支持 ISO11898-4 时间戳和 CiA 603 时间戳
- 支持 AUTOSAR 和 SAE J1939

4.22. USB OTG 高速模块 (USB_OTG_HS)

支持 2 路高速 USB OTG, 内置 PHY, 专用 DMA、8KB SRAM。

USB OTG 是一款双角色设备 (DRD) 控制器, 同时支持从机功能和主机功能, 完全符合 USB 2.0 规范的 On-The-Go 补充标准。此外, 该控制器也可配置为“仅主机”模式或“仅从机”模式, 完全符合 USB 2.0 规范。

USB OTG 既支持 HNP 也支持 SRP。OTG 模式下需要的唯一外部器件是提供 VBUS 电压的电荷泵
USB 主要特性可分为三类：通用特性、主机模式特性和从机模式特性。

■ OTG_HS 接口的通用特性如下：

- 经 USB-IF 认证，符合通用串行总线规范第 2.0 版
- OTG HS 支持以下 PHY 接口：
 - 片上高速 PHY 的 UTMI 接口
- 模块内嵌的 PHY 还完全支持定义在标准规范 OTG 补充第 2.0 版中的 OTG 协议
 - 支持 A-B 器件识别 (ID 线)
 - 支持主机协商协议 (HNP) 和会话请求协议 (SRP)
 - 允许主机关闭 VBUS 以在 OTG 应用中节省电池电量
 - 支持通过内部比较器对 VBUS 电平采取 OTG 监控
 - 支持主机到从机的角色动态切换
- 可通过软件配置为以下角色：
 - 具有 SRP 功能的 USB HS 从机 (B 器件)
 - 具有 SRP 功能的 USB HS/LS 主机 (A 器件)
 - USB On-The-Go 全速双角色设备
- 支持 HS SOF 和 LS Keep-alive 令牌
 - SOF 脉冲可通过 PAD 输出
 - SOF 脉冲通过内部连接到定时器 (TIMx)
 - 可配置的帧周期
 - 可配置的帧结束中断
- OTG_HS 内嵌 DMA，并可软件配置 AHB 的批量传输类型。
- 具有省电功能，例如在 USB 挂起期间停止系统、关闭数字模块时钟、对 PHY 和 DFIFO 电源加以管理。
具有采用高级 FIFO 控制的 8 KB 专用 RAM：
 - 可将 RAM 空间划分为不同 FIFO，以便灵活有效地使用 RAM
 - 每个 FIFO 可存储多个数据包
 - 动态分配存储区
 - FIFO 大小可配置为非 2 的幂次方值，以便连续使用存储单元
 - 一帧之内可以无需要应用程序干预，以达到最大 USB 带宽。
- 它支持电池充电规范第 1.2 版中介绍的充电端口检测 (仅限 FS PHY 收发器)

■ OTG_HS 接口的主机模式主要特性如下：

- 通过外部电荷泵生成 VBUS 电压。
- 多达 16 个主机通道 (又称之为管道)：每个通道都可以动态实现重新配置，可支持任何
- 类型的 USB 传输。
- 内置硬件调度器可：

- 在周期性硬件队列中存储多达 16 个中断加同步传输请求
- 在非周期性硬件队列中存储多达 16 个控制加批量传输请求
- 管理一个共享 Rx FIFO、一个周期性传输 Tx FIFO 和一个非周期性传输 Tx FIFO, 以有效使用 USB 数据 RAM。

■ OTG_HS 接口在的从机模式主要特性如下:

- 1 个双向控制端点 0
- 15 个 IN 端点 (EP), 可配置为支持批量传输、中断传输或同步传输
- 15 个 OUT 端点, 可配置为支持批量传输、中断传输或同步传输
- 管理一个共享 Rx FIFO 和一个 Tx-OUT FIFO, 以高效使用 USB 数据 RAM
- 管理多达 16 个专用 Tx-IN FIFO (分别用于每个使能的 IN EP), 以降低应用程序负荷
- 支持软断开功能。

4.23. 以太网 MAC 控制器 (ETH)

以太网(ETH): 通过 DMA 控制器进行介质访问控制(MAC)

借助以太网外设, 器件可以通过以太网按照 IEEE 802.3-2002 标准发送和接收数据。

以太网提供了可配置、灵活的外设, 用以满足客户的各种应用需求。它支持与外部物理层(PHY) 相连的两个工业标准接口: 默认情况下使用的介质独立接口 (MII) (在 IEEE 802.3 规范中定义) 和简化介质独立接口 (RMII)。它有多种应用领域, 例如交换机和网络接口卡。除了 IEEE 802.3 规范中定义的默认接口外, 以太网外设还支持多个与 PHY 相连的工业标准接口。它符合以下标准:

- IEEE 802.3-2008, 用于以太网 MAC 和介质独立接口 (MII)
- IEEE 1588-2008, 用于精密网络时钟同步协议 (PTP)
- AMBA 2.0, 用于 AHB 主端口和 AHB 从端口
- RMII 联盟的 RMII 规范第 1.2 版

■ 以太网 MAC 主要特性如下:

- 支持外部 PHY 接口实现 10/100 Mb/s 数据传输速率
- 通过符合 IEEE 802.3 的 MII 接口与外部快速以太网 PHY 进行通信
- 支持全双工和半双工操作
 - 支持适用于半双工操作的 CSMA/CD 协议
 - 支持适用于全双工操作的 IEEE 802.3x 流量控制
 - 全双工操作时可以将接收的暂停控制帧转发到用户应用程序
 - 半双工操作时提供背压流量控制
 - 全双工操作中如果流量控制输入信号消失, 将自动发送零时间片暂停帧
- 报头和帧起始数据 (SFD) 在发送路径中插入、在接收路径中删除
- 可逐帧控制 CRC 和 pad 自动生成
- 接收帧时可自动去除 pad/CRC
- 可编程帧长度, 支持高达 16 KB 的巨型帧

- 可编程帧间隔 (40-96 位时间, 以 8 为步长)
- 支持多种灵活的地址过滤模式:
 - 高达四个 48 位完美 (DA) 地址过滤器, 对每个字节进行掩码操作
 - 高达三次 48 位 SA 地址比较检查, 对每个字节进行掩码操作
 - 64 位 Hash 滤波器 (可选), 适用于多播和单播 (DA) 地址
 - 可传送所有多播地址帧
 - 支持混合模式, 因此可传送所有帧, 无需为网络监视进行过滤
 - 传送所有传入数据包时 (每次过滤时) 均附有一份状态报告
- 为发送和接收数据包分别返回 32 位状态
- 支持对接收帧进行 IEEE 802.1Q VLAN 变量检测
- 为应用程序提供单独的发送、接收和控制接口
- 支持通过 RMON/MIB 计数器 (RFC2819/RFC2665) 进行强制网络统计
- 使用 MDIO 接口配置和管理 PHY 设备
- 检测 LAN 唤醒帧和 AMD Magic Packet™ 帧
- 在接收功能中支持对接收到的由以太网帧封装的 IPv4 和 TCP 数据包进行校验和卸载
- 在增强型接收功能中支持检查 IPv4 头校验和以及在 IPv4 或 IPv6 数据包中封装的 TCP、UDP 或 ICMP 校验和
- 支持以太网帧时间戳 (请参见 IEEE 1588-2008)。每个帧的发送或接收状态下给出 64 位时间戳
- 两组 FIFO: 一个具有可编程阈值功能的 2 KB 发送 FIFO 和一个具有可配置阈值 (默认为 64 个字节) 功能的 2 KB 接收 FIFO
- 接收 FIFO 进行多帧存储时, 通过在 EOF 传输后向接收 FIFO 插入接收状态矢量, 从而使得接收 FIFO 无需存储这些帧的接收状态
- 在存储转发模式下, 可以在接收时过滤所有的错误帧, 此时不会将这些错误帧转发给应用程序
- 可以转发过小的好帧
- 为接收 FIFO 中丢失或损坏的帧 (由于溢出) 生成脉冲, 借此支持数据统计
- 向 MAC 内核发送数据时支持存储转发机制
- 根据接收 FIFO 填充 (阈值可配置) 级别自动生成要发送至 MAC 内核的暂停帧控制或背压信号
- 发送时处理冲突帧的自动重新发送
- 丢弃延迟冲突、过度冲突、过度延迟和下溢条件下的帧
- 通过软件控制刷新 Tx FIFO
- 计算 IPv4 头校验和与 TCP、UDP 或 ICMP 校验和并将其插入在存储转发模式下发送的帧中
- 支持调试时通过 MII 进行内部回送

4.24. 数字摄像头接口 (DCMI)

数字摄像头接口 (DCMI) 是一个同步并行接口, 能够接收外部 8 位、10 位、12 位或 14 位 CMOS 摄像头模块发出的高速数据流。可支持不同的数据格式, YCbCr4:2:2/RGB565 逐行视频和压缩数据 (JPEG)。

此接口适用于黑白摄像头、X24 和 X5 摄像头, 并假定所有将预处理 (如调整大小) 都在摄像头模块中执行。

■ DCMI 主要特性如下：

- 8 位、10 位、12 位或 14 位并行接口。
- 内嵌码/外部行同步和帧同步
- 连续模式或快照模式
- 裁剪功能
- 支持以下数据格式
 - 8/10/12/14 位逐行视频：单色或原始拜尔格式
 - YCbCr 4:2:2 逐行视频
 - RGB565 逐行视频
 - 压缩数据：JPEG

4.25. LCD-TFT 控制器 (LTDC)

LCD-TFT (液晶显示器- 薄膜晶体管) 显示器控制器提供并行数字 RGB (红色、绿色、蓝色) 以及水平同步、垂直同步、像素时钟和数据使能信号，这些信号直接输出到不同 LCD 和 TFT 面板的接口。

■ LTDC 主要特性如下：

- 24 位 RGB 并行像素输出，每像素 8 位 (RGB888)
- 2 个带有专用 FIFO 的显示层 (FIFO 深度 64x32 位)
- 查色表 (CLUT)，每层高达 256 种颜色 (256x24 位)
- 支持高达 XGA (1024x768) 的分辨率
- 可针对不同显示面板编程时序
- 可编程背景色
- 可编程 HSync、VSync 和数据使能信号的极性
- 每层有多达 8 个输入颜色格式可供选择
 - ARGB8888
 - RGB888
 - RGB565
 - ARGB1555
 - ARGB4444
 - L8 (8 位 Luminance 或 CLUT)
 - AL44 (4 位 alpha + 4 位 Luminance)
 - AL88 (8 位 alpha + 8 位 Luminance)
- 每通道的低位采用伪随机抖动输出
 - 红色、绿色、蓝色的抖动宽度为 2 位。
- 使用 alpha 值 (每像素或常数) 在两层之间灵活混合

- 色健 (透明颜色)
- 可编程窗口位置和大小
- 支持薄膜晶体管 (TFT) 彩色显示器
- AHB 主接口支持 16 个字的突发
- 高达 4 个可编程中断事件

4.26. 图像加速器 (DMA2D)

DMA2D 是专用于图像处理的硬件加速器，可执行下列操作：

- 用特定颜色填充目标图像的一部分或全部
- 将源图像的一部分 (或全部) 复制到目标图像的一部分 (或全部) 中
- 通过像素格式转换将源图像的一部分或全部复制到目标图像的一部分或全部中
- 将像素格式不同的两个源图像部分和/或全部混合，再将结果复制到颜色格式不同的部分或整个目标图像中

在索引颜色模式或直接颜色模式下，支持所有经典颜色编码方案，并支持每像素 4 位到最高 32 位。DMA2D 自身具有专门的 CLUT (颜色查找表) 存储器

■ DMA2D 主要特性

- 采用单 AHB 主设备总线架构
- AHB 从设备编程接口支持 8/16/32 位访问 (32 位的 CLUT 访问除外)
- 用户可编程工作区大小
- 用户可编程源区域和目标区域的偏移
- 用户可编程整个存储空间的源地址和目标地址
- 最多支持 2 个源的混合操作
- Alpha 值可修改 (源值、固定值或调制的值)
- 用户可编程源颜色格式和目标的颜色格式
- 采用间接或直接颜色编码时，支持多达 11 种颜色格式，且支持每像素 4 位到最高 32 位
- 间接颜色模式下使用 2 个内部存储器存储 CLUT
- 通过 CPU 自动加载 CLUT 或对 CLUT 进行编程
- 用户可编程 CLUT 大小
- 使用内部定时器控制 AHB 带宽
- 支持 4 种工作模式：存储器到存储器、寄存器到存储器、存储到存储器且支持像素格式转换、存储器到存储器且支持像素格式转换和混合。
- 可使用固定颜色进行区域填充
- 可从一个区域复制到另一个区域
- 在源图像和目标图像之间进行复制时进行像素格式转换
- 支持从颜色格式不同的两幅源图像复制并混合
- 可中止并挂起 DMA2D 操作

- 支持在传输用户可编程的目标行时生成水印中断
 - 支持发生总线错误或访问冲突时生成中断
- 支持处理完成时生成中断

4.27. 模数转换器 (ADC)

内置 3 个 12 位 4Msps 采样率的逐次比较型 ADC:

- ADC1 与 ADC2 紧密耦合, 可在双重模式下运行(ADC1 为主器件, ADC2 为从器件)
- ADC3 为单独模块

每个 ADC 由 12 位逐次逼近型模数转换器组成。

每个 ADC 的复用通道多达 19 个。每次 A/D 转换可以按照单次、连续或间断模式执行。ADC 的结果存储在一个左对齐或右对齐的 16 位数据寄存器中。

每个 ADC 支持最大 16 次可设通道的规则转换, 以及 4 次通道可设的注入转换。

ADC 具有模拟看门狗特性, 允许应用检测输入电压是否超过了用户自定义的阈值上限或下限。

ADC 映射到 AHB 总线, 从而可实现快速数据处理。

内置硬件过采样器, 可提高模拟性能, 同时还能减轻 CPU 进行相关计算的负担。

转换逻辑 ADC_CLK 由 ADC 专用时钟内部分频产生, ADC_CLK 不得超过 75MHz。

■ ADC 主要特性如下:

- 多达 3 个 ADC, 其中 ADC1 和 ADC2 可以在双重模式下运行
 - ADC1 连接 16 个外部通道+2 个内部通道
 - ADC2 连接 14 个外部通道+4 个内部通道
 - ADC3 连接 16 个外部通道+2 个内部通道
- 12 位分辨率, 也可配置成 10 位、8 位或 6 位分辨率
- 可通过降低分辨率来缩短转换时间
- 转换速率最高可达 5Msps (12 位分辨率)
- 支持自校准
- ADC 转换时间可以与 AHB 总线时钟频率无关
- 每个 ADC 包含 19 个通道, 其中通道 0 为校准通道
- 每个 ADC 的外部模拟输入通道
 - 源于 GPIO PAD 的 6 个快速通道
 - 源于 GPIO PAD 的 13 个慢速通道
- 包含 7 条内部通道
 - DAC2 的通道 1 和通道 2 连接到 ADC1
 - 内建 BGR 连接到 ADC2
 - DAC1 的通道 1 和通道 2 连接到 ADC2
 - 温度传感器连接到 ADC3

- VBAT 连接到 ADC3
- 支持单端输入或差分输入 (可按通道进行编程)
- 采样结束、转换结束、组转换结束、模拟看门狗事件或溢出事件时产生中断
- 支持单次、连续转换模式
- 支持间断模式
- 最多支持 16 个规则通道组和 4 个注入通道组
- 采样时间可以按通道分别编程
- 规则转换和注入转换均有外部触发选项
- 规则通道转换期间有 DMA 请求产生
- AHB 总线便于系统集成, 同时实现高速的读写操作
- 数据对齐以保持内置数据一致性
- 支持双重模式 (两个 ADC 设备)
- 过采样器
 - 16 位数据寄存器
 - 过采样率可以在 2 到 256 之间调整
 - 可编程数据移位高达 8 位
- 支持模拟看门狗
- ADC 供电要求: 1.8V~3.6V
- ADC 输入范围: $V_{REF-} \leq V_{IN} \leq V_{REF+}$

4.28. 通用数模转换器 (DAC)

内置两个 (共 4 通道) 12 位 1Msps 采样速率的电压型 DAC。

数字/模拟转换器 (DAC) 可以将 12 位的数字数据转换为外部引脚上的电压输出。数据可以采用 8 位或 12 位模式, 左对齐 (12 位) 或右对齐模式。当使能了外部触发, DMA 可被用于更新输入端数字数据。DAC 模块有 2 个输出通道, 每个通道都有单独的转换器。在双 DAC 模式下, 2 个通道可以独立地进行转换, 也可以同时进行转换并同步地更新 2 个通道的输出。

DAC 输出到 PAD 可以断开, 内部连接到芯片内其它模拟外设。在输出电压时, 可以利用 DAC 输出 BUFFER 来获得更高的驱动能力。DAC 输出支持在低功耗模式下的采样保持模式。

■ DAC 主要特性如下:

- 8 位或者 12 位分辨率
- 12 位模式下数据左对齐或右对齐
- 两个 DAC 转换器: 各对应 1 个输出通道
- 支持有符号数输入
- 噪声波形生成
- 三角波形生成
- 锯齿波形生成

- DAC 双通道独立或同时转换
- DMA 双数据模式降低总线开销
- 每个通道都有 DMA 功能
- 外部触发转换
- 输出 BUFFER 可选, BUFFER 偏差可校准
- 每个通道可以与 PAD 断开且可以输出到内部互联模块
- STOP 模式支持采样保存功能
- 输入参考电压 VREFP

4.29. 多通道数模转换器 (MDAC)

多通道数字/模拟转换器 (MDAC) 支持 12 路电压 DAC 和 4 路电流 DAC。其中通道 0~11 为电压型 DAC, 通道 12~15 为电流型 DAC。

电压 DAC (即 DAC3) 可以将 12 位的数字数据转换为外部引脚上的电压输出。

电流 DAC (即 IDAC) 可以将 10 位数字数据转换为外部引脚的电流信号。

■ MDAC 主要特性如下:

- 支持 16 个通道 DAC, 其中 12 个通道为电压型, 4 个通道为电流型
- 每个转换器对应 1 个输出通道
- 电压型 DAC 支持 12 位分辨率
- 电流型 DAC 支持 10 位分辨率
- 电压型 DAC 支持校准功能
- 电流型 DAC 出厂 Trim
- 电压型输入参考电压 VREF+

4.30. 模拟比较器 (COMP)

支持 1 路模拟比较器 (COMP), 模拟比较器用于比较两个输入模拟电压的大小, 并根据比较结果输出高/低电平。当比较器正端输入电压高于负端输入电压时, 电压比较器输出高电平; 当比较器正端输入电压低于负端输入电压时, 电压比较器输出低电平。

■ COMP 主要特性如下:

- 支持电压比较功能
- 输出极性可配置
- 比较器正端输入可配置:
 - 复用 I/O 引脚
- 比较器负端输入可配置:
 - 复用 I/O 引脚

- DAC 的输出
- VREF (比较器内部参考电压) 或 VDDA 的分压
- 可编程的迟滞窗口
- 支持输出重定向到用于触发以下事件:
 - 刹车事件 (用于快速 PWM 关断)
 - 捕获事件
 - Stop 唤醒事件
 - 外部中断事件
- 支持比较器输出到不同 I/O 引脚
- 比较器输出作为定时器的刹车输入或捕获输入
- 支持比较器输出通过定时器消隐
- 每个比较器输出都可作为 EXTI 控制器输入, 作为 MCU 唤醒源, 支持 Sleep 和 Stop 模式下的唤醒功能
- 支持输出滤波功能, 滤波周期可配置
- 比较器的配置可由 COMP_CRx.LOCK 位锁定

4.31. 电容式触摸感应 (TKEY)

电容式触摸控制传感器支持 16 路触摸按键, 通过检测电容的变化来检测手指或触及触摸表面。

TKEY 模块提供了两种电容式触摸感应方法, 分别为 CSD 和 CSA。

■ TKEY 主要特性如下:

- 支持 APB 总线
- 16 个电容检测通道
- 支持电阻和电容补偿
- 支持两种触摸感应方法
- CSD 模式无需外部电容
- CSD 模式支持电阻和电流源放电
- CSD 模式支持内部电容预充
- 触摸精度可调
- 支持扫描时钟扩频
- 支持屏蔽通道
- 支持自动模式, 硬件判断按键触摸
- CSA 模式下支持比较器滤波
- CSA 模式下充电次数可设置
- CSA 模式下电容放电前的等待时间可设置

4.32. 系统安全及算法

4.32.1. CRC 计算单元 (CRC)

循环冗余校验(Cyclic Redundancy Check CRC)是一种根据数据产生简短固定位数校验码的一种散列函数，主要利用除法及余数的原理来检测或校验数据传输或者保存后可能出现的错误。CRC 硬件电路支持用户设置 CRC 初值，结果异或值，输入输出数据正反向，并且支持配置 7/8/16/32 位多项式。

■ CRC 主要特性如下：

- 可编程 CRC 初始值
- 可编程结果异或值
- 支持位数可编程的(32 位/ 16 位/8 位/7 位)的完全可编程多项式
- 支持 8 位/16 位/32 位数据输入
- 支持初始值高低位倒序
- 支持计算结果高低位倒序
- 支持结果异或值高低位倒序
- 支持多项式高低位倒序
- 支持输入数据按字节/半字/字倒序
- 默认使用 CRC-32(以太网)多项式：0x04C11DB7
- 单输入/输出 32 位数据寄存器
- 32 位独立数据寄存器(可用于临时存储)
- 对于 32 位/16 位/8(7)位数据大小，CRC 计算分别在 4/2/1 个 AHB 时钟周期(HCLK)内完成

4.32.2. 高级加密算法 (AES)

AES(Advanced Encryption Standard)，是美国国家标准与技术研究所用于加密电子数据的规范，该标准用来替代原先的 DES (Data Encryption Standard)，已经被多方分析且广为全世界所使用。

■ 主要特性如下：

- 符合联邦信息处理标准出版物 (FIPS PUB 197, 2001 年 11 月 26 日) 规定的高级加密标准(AES)
- 支持 AES 加密和解密运算
- 支持 ECB/CBC/CTR 模式
- 支持 128/ 192/ 256 bit 密钥长度
- 支持数据输入和输出 SWAP 模式，即大小端可配置
- 支持在 CBC、CTR 模式下使用的 4×32 位初始化向量 (IV)

4.32.3. 安全散列算法 (SHA)

安全散列算法 (英语: Secure Hash Algorithm, 缩写为 SHA) 是一个密码散列函数家族, 是 FIPS 所认证的安全散列算法。它把任意长度数字的输入通过散列算法转换成和输入消息对应的, 长度固定的输出, 该输出就是散列值 (又称消息摘要)。这种转换是一种压缩映射, 也就是, 散列值的空间通常远小于输入的空间, 不同的输入可能会散列成相同的输出。由于不是一对一的映射, 不可能从散列值来确定唯一的输入值, 难以找到逆向规律。

简单的说 HASH 就是一种将任意长度的消息压缩到某一固定长度的消息摘要的函数。SHA-1 可以生成一个被称为消息摘要的 160 位 (20 字节) 散列值, 散列值通常的呈现形式为 40 个十六进制数。SHA256 是 SHA2 的一种, 可产生 256 位的哈希值, 较 SHA1 更加的安全。

■ 主要特性如下:

- 支持 SHA1/SHA256 算法
- 适合于数据验证应用, 符合以下标准:
 - FIPS PUB 180-1 (联邦信息处理标准出版物 180-1) 安全散列标准规范 (SHA-1)
 - FIPS PUB 180-2 (联邦信息处理标准出版物 180-2) 安全散列标准规范 (SHA-224 和 SHA-256)
- 可自动填充来补足输入位串, 从而适应 512 位 (16×32 位) 的摘要最小块大小
- 使用 SHA-1 (或 SHA-256) 算法处理一个 512 位数据块需要 3868 (或 4185) 个时钟周期
- 32 位结果输出寄存器, SHA1 需读 5 次, SHA256 读 8 次

4.32.4. CORDIC 加速算法 (CORDIC)

CORDIC (Coordinate Rotation Digital Computer) 坐标旋转数字计算模块, 提供 $\sin/\cos/\text{atan2}/\sinh/\cosh/\text{atanh}/\ln/\sqrt{\quad}$ 等数学运算的硬件加速。CORDIC 可以用于加速指纹算法也可以用于电机控制、测量、信号处理等 (主要是三角函数) 应用。

CORDIC 算法是 J.D.Volder¹ 于 1959 年首次提出, 主要用于三角函数、双曲线、指数、对数的计算。该算法通过基本的加和移位运算代替乘法运算, 使得矢量的旋转和定向的计算不再需要三角函数、乘法、开方、反三角、指数等函数。与软件实现相比, 它加快了这些函数的计算速度, 从而允许处理器用较低的频率工作, 或者减少 CPU 占用时间, 以便处理器执行其他任务。

■ 主要特性如下:

- 24 位 CORDIC 旋转引擎
- 支持圆形和双曲线模式
- 支持 $\sin/\cos/\text{atan2}/\sinh/\cosh/\text{atanh}/\ln/\sqrt{\quad}$ 等函数
- 支持 1~8 轮可编程精度

4.32.5. 真随机数发生器 (HRNG)

随机数是密码学算法的基础, 是现代加密体系中最重要的一部分之一。几乎所有的密码学算法都需要使用随机数。

TRNG 模块是一个以连续模拟噪声为基础的随机数发生器, 模拟电路产生馈入线性反馈移位寄存器 (LFSR) 的

种子，在主机读取时提供一个 32 位的随机数，可向应用程序提供作为 32 位采样的全熵输出。

TRNG 可作为一个实时熵源用来构建符合 NIST 要求的确定性随机位发生(DRBG)。

■ 主要特性如下：

- 内含可靠噪声振荡器，提供由模拟熵源生成的 32 位真随机数
- 符合国际 FIPS-140-2 和 NIST SP800-22 测试标准
- 符合国密局《随机数检测规范》标准
- RNG 每 32 个 TRNG_CLK 时钟周期会生成一个 32 位随机采样
- 可被禁止以降低功耗

4.32.6. 自定义指令 (CDE)

为了支持 ARM 自定义指令，Armv8-M 体系结构需要一个新的体系结构扩展，这被命名为自定义数据路径扩展 (CDE)。

自定义指令支持字节拼接、按位倒序、CRC 计算、汉明距离计算、bit 统计、SM3/SM4 辅助算法、乘累加等运算，执行周期数在 1~2 个系统时钟。

4.32.7. 在线解密 (OTFDEC)

内置在线解密 OTFDEC 模块，把用户代码加密后放在外部 Flash，从而保护敏感代码的机密性。通过对 OTFDEC 的正确配置，从外部 Flash 执行代码，对 CPU 来说就像是执行片上 Flash 里存储的明文代码一样。

支持 2 路 QSPI-MEM 接口和 1 路 OSPI-MEM 接口 OTFDEC 在线解密，但只能有 1 路在使用 OTFDEC。

支持 AES-128 CTR 模式，零等待周期解密。

4.32.8. 设备唯一序列号 (UID)

芯片在 EFUSE1 区域保存有 128 位设备唯一序列号 UID，不可改写。UID 在 EFUSE1 中的偏移地址 0x58。

4.33. SWD/JTAG 调试接口 (SWJ-DP)

内置 ARM SWJ-DP 接口由 SWD 和 JTAG 结合而成，可以仅使用 2 个引脚进行调试：SWDIO、SDCLK。

5. 电气特性

5.1. 测试条件

除非特别说明，所有的电压都以 VSS 为基准。

5.1.1. 最大值和最小值

最大值和最小值数据获得，分为三类：设计理论值、特性分析值、生产测试值。

- 设计理论值：由芯片设计人员基于模型仿真得出，或由第三方工艺参数或封装参数标称值得出。
- 特性分析值：在特性分析的基础上，通过样品测试得到数据，取其平均值再加 3 倍的标准差(平均 $\pm 3\sigma$)得到最大值和最小值。
- 生产测试值：在特定测试环境（温度、电压、主频等）的生产线上，进行测试卡控值。

除非特别说明：所有产品最大值和最小值数据都是采用特性分析值。

5.1.2. 典型值

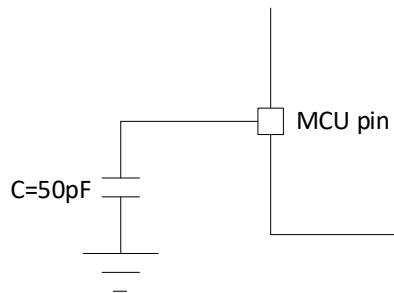
除非特别说明，典型值是基于 $T_a=25^\circ\text{C}$ 、 $V_{DD}=V_{DDA}=3.3\text{V}$ 下测试。这些数据仅用于设计指导。

5.1.3. 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

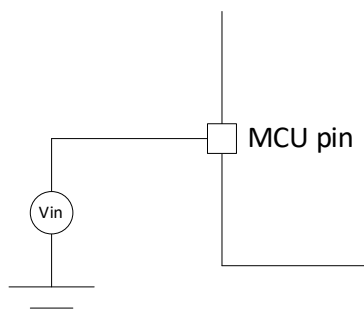
5.1.4. 负载电容

测量引脚参数时的负载条件，如图所示：

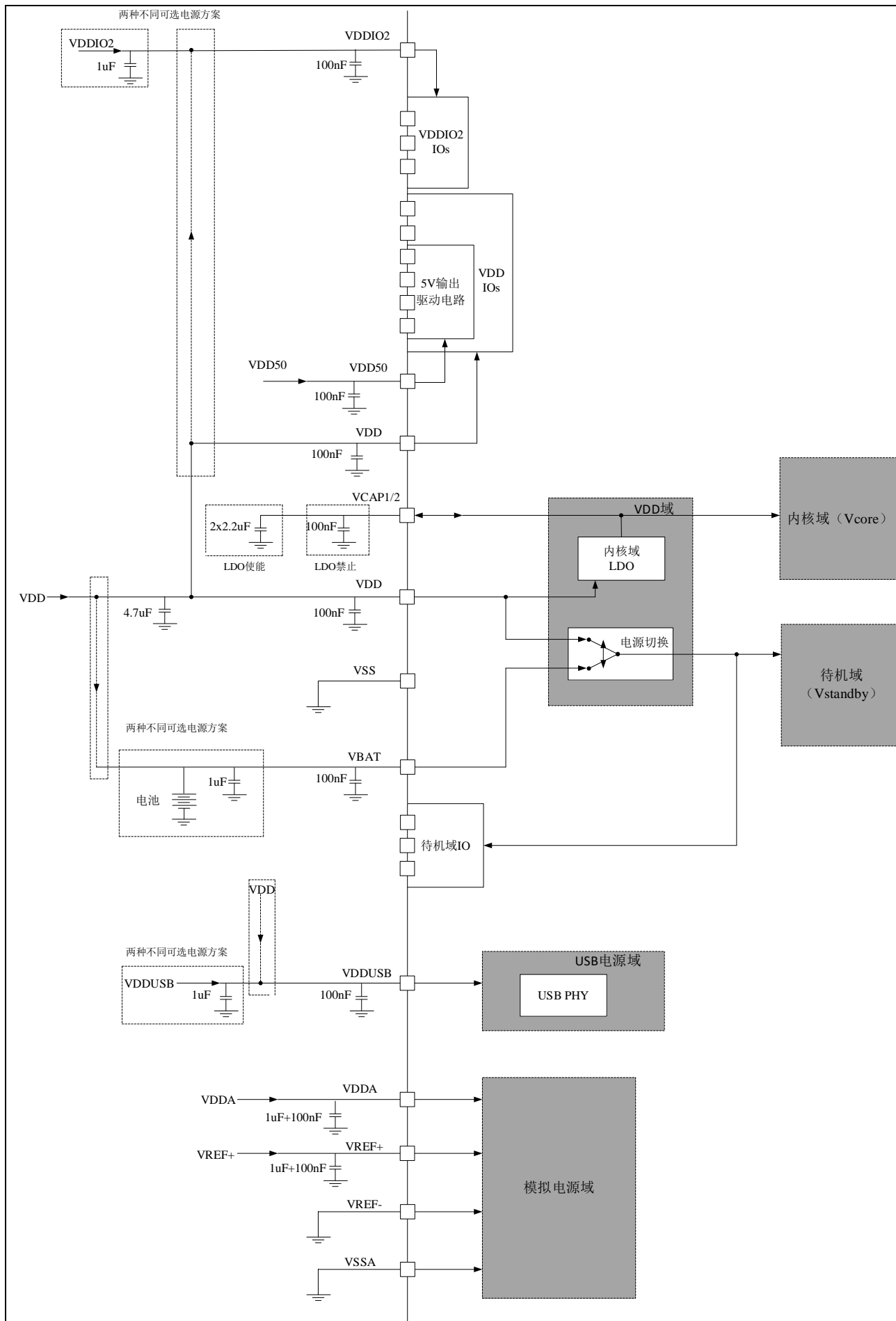


5.1.5. 引脚输入电压

引脚输入电压的测量方式如图所示：

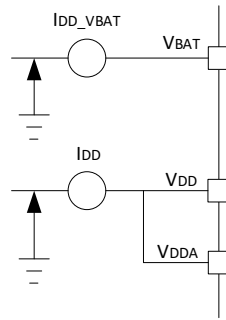


5.1.6. 供电方案



5.1.7. 电流消耗测量

引脚上电流消耗的测量方式如图所示



5.2. 绝对最大额定值

加在器件上的载荷如果超过“电压特性”、“电流特性”、“热特性”、“电气敏感性”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着器件在此条件下功能正常。器件长期工作在最大值条件下会影响器件的可靠性。

5.2.1. 电压特性

表 5-1 电压特性

符号	描述	最小值	最大值	单位
VDDx-VSS	外部主供电电压 (包含 VDD、VDDA、VDDUSB、VDDIO2、VBAT、VREF+) (1)	-0.3	3.9	V
VDD50-VSS	为 FT_5 引脚上 5V 驱动供电的电源电压(2)	-0.3	6	V
VIN	FT 引脚上的输入电压	VSS-0.3	min(VDD+3.9,6)	V
	TC 引脚上的输入电压	VSS-0.3	3.9	
VREF+ - VDDA	VREF+ 大于 VDDA 时允许的压差	-	0.3	V
VDDUSB - VDD	VDDUSB 和 VDD 之间的允许电压差	-0.3	0.3	V
VDDA - VDD	VDDAB 和 VDD 之间的允许电压差	-0.3	0.3	V
ΔVDDx	不同供电引脚之间的电压差	-	50	mV
VSSx-VSS	不同接地引脚之间的电压差	-	50	mV

(1) 在允许范围内，所有的电源(VDD、VDDA、VDDUSB、VDDIO2、VBAT)和地(VSS、VSSA)引脚必须始终连接到外部电源上。

(2) 必须保证 VIN 不超过其最大值。允许的最大注入电流值请见“电流特性”表。

5.2.2. 电流特性

表 5-2 电流特性

符号	描述	最小值	最大值	单位
ΣI_{VDD}	流入所有 VDD/VDDA/VDDUSB/VDDIO2/VDD50/VBAT 电源线的总电流 (拉电流) (1)	-	300	mA
ΣI_{VSS}	流出所有 VSS/VSSA 接地线的总电流 (灌电流) (1)	-	-300	mA
I_{VDD}	流入每个 VDD 电源线的最大电流 (拉电流) (1)	-	100	mA
I_{VSS}	流出每个 VSS 接地线的最大电流 (灌电流) (1)	-	-100	mA
I _{I/O}	任意 I/O 和控制引脚上的输出灌电流	-	20	mA
	任意 I/O 和控制引脚上的输出拉电流	-	-20	mA
$\Sigma I_{I/O}$	所有 I/O 和控制引脚上的总输出灌电流 (2)	-	140	mA
	所有 I/O 和控制引脚上的总输出拉电流 (2)	-	-140	mA
I _{INJ}	FT 引脚上的注入电流(3)(5)	-	-5/+0	mA
	TC 引脚上的注入电流(4)(5)	-	-5/+0	mA
ΣI_{INJ}	所有 I/O 和控制引脚上的总注入电流(6)	-	-25/+0	mA

(1) 在允许范围内, 所有的电源(VDD、VDDA、VDDUSB、VDDIO2、VDD50、VBAT)和地(VSS、VSSA)引脚必须始终连接到外部电源上。

(2) 电流消耗必须正确的分布到所有 I/O 引脚。

(3) 只要输入电压不超过 VIN 最大值, 就不会产生正的注入。VIN < VSS 会产生负的注入。负的注入绝不能超过最大值。

(4) VIN > VDDIOx 会产生正的注入。VIN < VSS 会产生负的注入。注入电流绝不能超过最大值。

(5) 注入电流会干扰器件的模拟性能。

(6) 当多个输入同时存在注入电流时, $\Sigma I_{INJ}(PIN)$ 的最大值为正向注入电流与反向注入电流 (瞬时值) 的绝对值之和。

5.2.3. 温度特性

表 5-3 温度特性

符号	描述	数值	单位
T _{stg}	存储温度	-40 ~ +150	°C
T _j	最大结温(1)	105	°C

(1) 部分型号 T_j 可以达到 125°C, 参见“芯片资源”表。

5.2.4. 电气敏感性

5.2.4.1. 静电放电 (ESD)

根据每种引脚组合，对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔 1 秒）。样本大小取决于器件中供电引脚的数目（3 个器件×(n+1)个供电引脚）。

表 5-4 ESD 特性

符号	描述	条件	分类	最大值	单位
VESD(HBM)	静电放电电压 (人体模型)	Ta = +25°C, 符合 ANSI/ESDA/JEDEC JS-001 标准	2	4000	V
VESD(CDM)	静电放电电压 (充电设备模型)	Ta = +25°C, 符合 ANSI/ESDA/JEDEC JS-002 标准	II	500	V

(1) 由第三方测试机构测试，不在生产中测试。

5.2.4.2. 静态闭锁 (LU)

为了评估闭锁性能，需要对 6 个器件执行两项互补的静态闭锁测试：

- 对每个电源引脚施加过压
- 对每个输入、输出和可配置 I/O 引脚施加电流注入

表 5-5 静态闭锁 (LU) 特性

符号	描述	条件	分类
LU	静态闭锁分类	Ta = +25 °C, 符合 JEDEC EIA/JESD78D 标准	II 级 A 类

(1) 由第三方测试机构测试，不在生产中测试。

5.3. 工作条件

5.3.1. 通用工作条件

表 5-6 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
VDD	标准工作电压		2.97	-	3.6	V
VDDIO2	PC[12:10]、PD[7:0]、PG9 I/O 供电电压	PC[12:10]、PD[7:0]、PG9 至少有一个 IO 被使用	1.62	-	3.6	V
VDDUSB	USB 电源电压		2.97	-	3.6	V
VDDUSB - VDD	VDDUSB 和 VDD 之间的允许电压差		-0.3	-	0.3	V
VDDA	模拟工作电压		2.97	-	3.6	V
VDDA - VDD	VDDA 和 VDD 之间的允许电压差		-0.3	-	0.3	V
VBAT	备份域电源电压		1.3	-	3.6	V

VDD50	FT_5 管脚 5V 驱动输出 电路供电电压		4.5	-	5.5	V
VIN	I/O 输入电压	FT 引脚上的输入电压	-0.3	-	min(VDD+3.6,5.5)	V
		TC 引脚上的输入电压	-0.3	-	min(VDD+0.3,3.6)	V
		VDDIO2 供电域 (PC[12:10]、 PD[7:0]、PG9) 引脚上的输入电 压	-0.3	-	min(VDDIO 2+0.3,3.6)	V
VCORE	内核域电源电压	内核域 MLDO 使能, HCLK=64MHz	1.08	1.2	1.32	V
		内核域 MLDO 使能, HCLK=220MHz	1.16	1.26	1.32	V
		内核域 MLDO 关闭, VCORE 由外 部 LDO 通过 VCAP 引脚提供, HCLK=64MHz	1.08	1.2	1.32	V
		内核域 MLDO 关闭, VCORE 由外 部 LDO 通过 VCAP 引脚提供, HCLK=220MHz	1.16	1.26	1.32	V
VSTANDBY	待机域电源电压	待机域 LPLDO 使能	0.92	1.1	1.2	V
		待机域 LPLDO 关闭, VSTANDBY 由外部 LDO 通过 VCAP 引脚提供	0.92	1.1	1.2	V
fHCLK	AHB1、AHB2、AHB3 时钟频率		0	-	220	MHZ
fPCLK	APB1、APB2、APB3、 APB4 时钟频率		0	-	220	
Ta	环境温度	温度标号 6	-40	-	85	°C
		温度标号 7	-40	-	105	
Tj	结点温度	温度标号 6	-40	-	105	
		温度标号 7	-40	-	125	

5.3.2. VCAP 的外部电容

内嵌 LDO 的稳定性是通过将外部电容 Cext 连接到 VCAPx (两个引脚) 来实现的, Cext 的推荐值见下表。

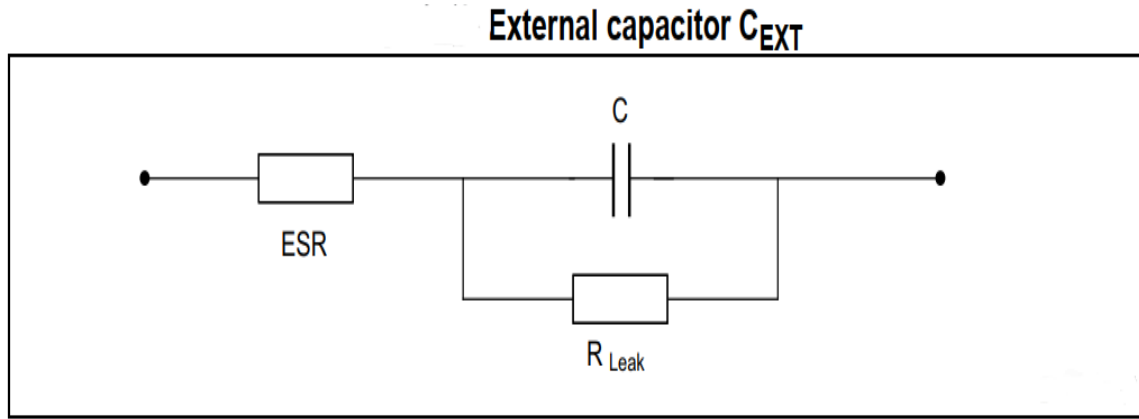


表 5-7 VCAP1/2 工作条件

符号	参数	条件	值
Cext	两个外部电容的电容值	使用内部 LDO 时	2.2uF±20%
		旁路内部 LDO 时	100nF±20%
ESR	外部电容的等效串联电阻		<100mΩ

5.3.3. 上电和掉电时的工作条件

表 5-8 上电/掉电时的工作条件 (使用内部 LDO)

符号	参数	最小值	最大值	单位
tVDD	VDD 上升时间速率	10	-	us/V
	VDD 下降时间速率	50	-	
tVDDA	VDDA 上升时间速率	10	-	
	VDDA 下降时间速率	10	-	
tVDDUSB	VDDUSB 上升时间速率	10	-	
	VDDUSB 下降时间速率	10	-	
tVDDIO12	VDDIO12 上升时间速率	10	-	
	VDDIO12 下降时间速率	10	-	
tVBAT	VVBAT 上升时间速率	10	-	
	VVBAT 下降时间速率	10	-	

5.3.4. 内置复位模块特性

表 5-9 内置复位模块特性

符号	参数	条件	最小值	典型值	最大值	单位
Vlvd	LVD_SEL[2:0] = 000	上升沿	-	1.79		V
		下降沿	-	1.69		

符号	参数	条件	最小值	典型值	最大值	单位
	LVD_SEL[2:0] = 001	上升沿	-	2.09	-	
		下降沿	-	1.99	-	
	LVD_SEL[2:0] = 010	上升沿	-	2.31	-	
		下降沿	-	2.21	-	
	LVD_SEL[2:0] = 011	上升沿	-	2.56	-	
		下降沿	-	2.46	-	
	LVD_SEL[2:0] = 100	上升沿	-	2.66	-	
		下降沿	-	2.56	-	
	LVD_SEL[2:0] = 101	上升沿	-	2.82	-	
		下降沿	-	2.72	-	
	LVD_SEL[2:0] = 110	上升沿	-	2.89	-	
		下降沿	-	2.79	-	
	LVD_SEL[2:0] = 111	上升沿	-	2.99	-	
		下降沿	-	2.89	-	
Vhyst_LVD	LVD 迟滞		-	100	-	mV
VPOR/PDR	上电 / 掉电复位阈值	上升沿	-	1.75	-	V
		下降沿	-	1.55	-	
Vhyst_POR_PDR	上电 / 掉电复位 迟滞	运行模式下的迟滞	-	200	-	mV
VBOR	BOR_CFG[1:0] = 00	上升沿	-	2.15	-	V
		下降沿	-	2.05	-	
	BOR_CFG[1:0] = 01	上升沿	-	2.35	-	
		下降沿	-	2.25	-	
	BOR_CFG[1:0] = 10	上升沿	-	2.6	-	
		下降沿	-	2.5	-	
BOR_CFG[1:0] = 11	上升沿	-	2.92	-		
	下降沿	-	2.82	-		
Vhyst_BOR	BOR 迟滞		-	100	-	mV
tRSTTEMPO	POR 复位持续时间		-	2	-	ms

5.3.5. VREFINT 特性

表 5-10 VREFINT 内部参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT(1)	内部参考电压	VDD = 3.3V, Ta = 25°C	1.154	1.2	1.22	V

符号	参数	条件	最小值	典型值	最大值	单位
tS_vrefint(2)	读取内部参考电压时的 ADC 采样时间	ADC_CLK=75MHZ, VDDA=VDD=VBAT=VREF+=3.3V, Ta = 25°C	-	9	18	us
tstart_vrefint	ADC 启用时, 参考电压缓冲器的启动时间		-	1.8	-	
Ivrefint	ADC 采集 VREFINT 的功耗	ADC_CLK=22.5MHZ, 采样时间 30 周期, VDDA=VDD=3.3V	-	137	-	uA
Tcoeff	平均温度系数	VDD = 3.3V, -40°C < Ta < 105 °C	-	177	400	ppm/°C
VDDcoeff	平均电压系数	2.97V < VDD < 3.6V, Ta = 25°C	-	39	100	ppm/V

- (1) VREFINT 不考虑封装和焊接效果。
- (2) 应用程序的最短采样时间可以通过多次迭代来确定。

表 5-11 内部参考电压校准值

符号	参数	条件	内存地址
VREFINT_CAL	内部参考电压校准值	Ta=25°C、VDDA = 3.0V	EFUSE1, 偏移地址 0x68, 16bit 位宽

5.3.6. 供电电流特性

表 5-12 运行模式 (Run) 下的典型功耗

符号	参数	条件	fHCLK (MHz)	典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
IDD (Run)	运行模式下的供电电流	使能所有外设时钟, 选择 RCH 作为 PLL 时钟源, 程序运行在 SPI FLASH, HCLK=PCLK, 开启 ICACHE 和 DCACHE, 除 SPI7 所用 IO, 其它 IO 处于模拟状态, 关闭 MCO, USBPHY1/2 的 PD_SE_PD=0(有电流损耗), 执行 while(1)	220	202	-	-	mA
			180	168	-	-	mA
			100	100	-	-	mA
			64	68	-	-	mA
			4	16	-	-	mA
		关闭所有未使用的外设时钟, 程序运行在 SPI FLASH, HCLK=PCLK, 开启 ICACHE 和 DCACHE,	220	43	-	-	mA
			180	36	-	-	mA
			100	22	-	-	mA
			64	15	-	-	mA

符号	参数	条件	fHCLK (MHz)	典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
		除 SPI7 所用 IO, 其它 IO 处于模拟状态, 关闭 MCO, USBPHY1/2 的 PD_SE_PD=1(防止漏电), 执行 while(1)	4	5	-	-	mA

(1) 当启用外设时, 不包括对应于外设模拟部分的功耗 (如 ADC 或 DAC)

表 5-13 睡眠模式 (Sleep) 下的典型功耗

符号	参数	条件	fHCLK (MHz)	典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
IDD (Sleep)	睡眠模式下的供电电流	程序运行在 SPI FLASH, HCLK=PCLK, 关闭 ICACHE 和 DCACHE, RC32K/XTL 时钟下的外设停止工作, 其他外设也停止工作, 除 SPI3 所用 IO 和唤醒 IO, 其它 IO 处于模拟状态, 关闭 MCO, CPU 进入 sleep	220	9.3	-	-	mA

表 5-14 停止模式 (Stop) 下的典型功耗

符号	参数	条件		典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
IDD (Stop)	停止模式下的供电电流	程序运行在 SPI FLASH, HCLK=PCLK, 关闭 ICACHE 和 DCACHE, 除 SPI3 所用 IO 和唤醒 IO, 其它 IO 处于模拟状态, RC32K/XTL 时钟下的外设停止工作, 其他外设也停止工作, 备份 SRAM 进入睡眠状态, RCH 16 分频输出且自动关闭, 关闭 MCO, CPU 进入 Deep sleep	叠封 FLASH	1.1	-	-	mA
			叠封 FLASH+SDRAM (断开电源)	1.2	-	-	mA
			叠封 FLASH+PSRAM	-	-	-	mA

表 5-15 待机模式 (Standby) 下的典型功耗

符号	参数	条件		典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
IDD (Standby)	待机模式下的供电电流	程序运行在 SPI FLASH, HCLK=PCLK,	叠封 FLASH	3.6	-	-	uA

符号	参数	条件	典型值			单位	
			TA=25°C	TA=85°C	TA=105°C		
		关闭 ICACHE 和 DCACHE, 除 SPI3 所用 IO, 其它 IO 处于模拟状态, RC32K/XTL 时钟下的外设停止工作, 关闭 IWDT、RTC、XTL, 备份 SRAM 进入睡眠状态, CPU 进入 Deep sleep	叠封 FLASH+SDRAM	3.7	-	-	uA
			叠封 FLASH+PSRAM	-	-	-	uA

(1) A 版本芯片只支持 RTC_TAMP1/RTC_TAMP2 引脚唤醒, 不支持 WKUP1~5 引脚唤醒。

表 5-16 VBAT 模式下的典型功耗

符号	参数	条件	典型值	典型值			单位
				TA=25°C	TA=85°C	TA=105°C	
IDD (Vbat)	备份域的供电电流	RC32K/XTL 时钟使能, 备份 SRAM 保持数据, 断开主电源		21	-	-	uA

(1) VBAT 电流为 A 版本芯片数据。

5.3.7. 启动时间

启动时间的测量是从 NRST 变高至用户程序读取第一条指令为止。

表 5-17 启动时间

符号	参数	条件	典型值	单位
tCOLD	从 VDD 上电至用户程序读取第一条指令的时间	VDD = 3.3V, Ta = 25 °C	8000	us
tWARM	从 NRST 变高至用户程序读取第一条指令的时间	VDD = 3.3V, Ta = 25 °C	5320	us

5.3.8. 从低功耗模式唤醒时间

唤醒时间的测量是从唤醒事件触发至用户程序读取第一条指令为止。

表 5-18 低功耗模式唤醒时间

符号	参数	条件	典型值	单位
tWUSLEEP	从睡眠 (sleep) 模式唤醒	VDD = 3.3V, Ta = 25 °C	0.1	us
tWUSTOP	从停止 (stop) 模式唤醒	VDD = 3.3V, Ta = 25 °C, 唤醒等待时间为 0	4.7	us
tWUSTBY	从待机 (standby) 模式唤醒	VDD = 3.3V, Ta = 25 °C, 关闭 RTC Tamper 滤波, 唤醒等待时间为 0	7250	

5.3.9. 外部时钟源特性

表 5-19 高速外部时钟特性 (XTH)

符号	参数	条件	最小值	典型值	最大值	单位
fXTH	高速外部时钟源频率		1	12	48	MHZ
VXTH_H	OSC_IN 输入引脚高电平电压		0.54*VDD	-	-	V
VXTH_L	OSC_IN 输入引脚低电平电压		-	-	0.45*VDD	V
tw(XTH_H)/tw(XTH_L)	OSC_IN 高电平或低电平时间		7	-	-	ns
tr(XTH)/tf(XTH)	OSC_IN 上升或下降时间	10%电平到 90%电平所需时间	0.05/fXTH	-	0.3/fXTH	ns
DuCyXTH	时钟占空比		40	-	60	%
IL	OSC_IN 输入泄漏电流		-	-	±1	uA

表 5-20 高速外部振荡器特性 (XTH)

符号	参数	条件	最小值	典型值	最大值	单位
fXTH	高速外部晶振源频率		1	12	48	MHZ
RF	反馈电阻		-	1.07	-	MΩ
Gm_critmax	最大临界晶振 gm		-	-	2	mA/V
tSU(XTH)	启动时间		-	2.5	-	ms
VDD	工作电压		2.97	-	3.6	V
IDD	工作电流	12M 晶振	-	6	-	mA

表 5-21 低速外部时钟特性 (XTL)

符号	参数	条件	最小值	典型值	最大值	单位
fXTL	低速外部时钟源频率			32.768	1000	KHZ
VXTL_H	OSC32_IN 输入引脚高电平电压		0.77*VDD	-	-	V
VXTL_L	OSC32_IN 输入引脚低电平电压		-	-	0.3*VDD	V
tw(XTL_H)/tw(XTL_L)	OSC32_IN 高电平或低电平时间		250	-	-	ns
tr(XTL)/tf(XTL)	OSC32_IN 上升或下降时间		-	100	200	
DuCyXTL	时钟占空比		45	-	55	%
IL	OSC32_IN 输入泄漏电流		-	-	±1	uA

表 5-22 低速振荡器特性 (XTL)

符号	参数	条件	最小值	典型值	最大值	单位
fXTL	外部低速时钟源频率		-	32.768	-	KHZ
RF	反馈电阻		-	11.1	-	MΩ
Gm_critmax	最大临界晶振 gm	LXTDRI<2:0>=1xx	-	-	1.0	uA/V
		LXTDRI<2:0>=000	-	-	3.1	uA/V
		LXTDRI<2:0>=001	-	-	4.6	uA/V
		LXTDRI<2:0>=010	-	-	9.1	uA/V
		LXTDRI<2:0>=011	-	-	13.8	uA/V
tSU(XTL)	启动时间		-	1	-	s
VCC	工作电压		2.97	3.3	3.6	V
IDD	工作电流	LXTDRI<2:0>=1xx	0.2	-	-	uA
		LXTDRI<2:0>=000	0.33	-	-	uA
		LXTDRI<2:0>=001	0.41	-	-	uA
		LXTDRI<2:0>=010	0.7	-	-	uA
		LXTDRI<2:0>=011	0.95	-	-	uA

5.3.10. 内部时钟源特性

表 5-23 64MHz 高速内部 RC 振荡器 (RCH)

符号	参数	条件	最小值	典型值	最大值	单位
fRCH	高速内部 RC 振荡器频率	修调后	61	62.5	64	MHz
TRIM	TRIM 调节输出时钟频率		50	-	74.7	MHz
	TRIM 粗调范围	4 Steps, 相对 0 档的百分比	0	-	58	%
	TRIM 粗调精度	相对前一档的百分比	-	23	-	%
	TRIM 细调范围	128 Steps, 相对 0 档的百分比	0	-	50	%
	TRIM 细调精度	相对前一档的百分比	-	0.3	-	%
Ducy	占空比		40	50	60	%
ΔVDD	时钟电压漂移 (参考电压为 3.3 V)		-	-	0.1	%
ΔTEMP	时钟温漂	T=-40~125°C	-4	-	4	%
FVDD	时钟变化	VDD=2.97-3.6V	-	-	0.1	%
FVDD12	时钟变化	VDD12=1.08-1.32V	-	-	0.1	%
tSU	启动时间		-	2.1	3	μs
Vop	工作电压	VDD	2.97	3.3	3.6	V
		VDD12	1.08	1.2	1.32	V

符号	参数	条件	最小值	典型值	最大值	单位
Ishd	关断时的静态功耗		-	50	-	nA
Iop	RCH 输出 64MHz, 平均工作电流	VDD=3.3V	-	8.8	-	μA
		VDD12=1.2V	-	11.1	-	μA
Top	工作温度		-40	25	125	°C

表 5-24 32KHz 低速内部 RC 振荡器 (RCL)

符号	参数	条件	最小值	典型值	最大值	单位
fRCL	低速内部 RC 振荡器频率	修调后	31.04	32	32.96	KHz
TRIM	修调时钟精度		0.45	-	1.56	%
DuCy	占空比		49.9	50.2	50.5	%
ΔVDD	时钟电压漂移 (以 3.3 V 为基准)	VDD=2.97-3.6V	-1.69	-	0.93	%
ΔTEMP	时钟温漂		-2	-	2	%
tstab	稳定时间		-	21	-	μs
VCC	工作电压		2.97	3.3	3.6	V
IDD	工作电流		-	255	-	nA
Top	工作温度		-40	25	125	°C

5.3.11. PLL1 和 PLL2 特性

表 5-25 PLL1/2 特性

符号	参数	条件	最小值	典型值	最大值	单位
fPLL_IN	PLL 输入时钟		0.95	-	48	MHZ
	PLL 输入时钟占空比		40	-	60	%
fVCO_OUT	PLL VCO 输出		100	-	550	MHZ
fCLK_P	CLK_P 输出频率		30	-	220	MHZ
fCLK_Q	CLK_Q 输出频率		16	-	520	MHZ
Duty_OUT	PLL 输出频率占空比		45	50	55	%
tLOCK	PLL 锁相时间	@FCLKVCO=100MHz	-	-	200	us
		@FCLKVCO=432MHz	-	-	300	us
Jitter	Phase RMS jitter		-	-		ps
	Period RMS jitter	SSC_EN=0,@180MHz	-	-	10	ps
	Cycle to Cycle RMS jitter	SSC_EN=0,@180MHz	-	-	20	ps
VDDA	工作电压		2.97	3.3	3.6	V
VDD12	工作电压		1.08	1.2	1.32	V

符号	参数	条件	最小值	典型值	最大值	单位
IOP_VDDA	VDDA 工作电流	FCLKVCO=432MHz	-	-	2	mA
IOP_VDD12	VDD12 工作电流	FCLKVCO=432MHz	-	-	0.75	mA
IPD_VDA	VDDAD 掉电电流	RESETN=0	-	-	1	uA
IPD_VDD12	VDD12 掉电电流	RESETN=0	-	10	100	nA
Top	结温		-40	25	125	°C

5.3.12. PLL3 特性

表 5-26 PLL3 特性

符号	参数	条件	最小值	典型值	最大值	单位
fPLL_IN	PLL 输入时钟		1	-	48	MHZ
	PLL 输入时钟占空比		40	-	60	%
fVCO_OUT	PLL VCO 输出		200	-	500	MHz
fCLK_P	CLK_P 输出频率		25	-	220	MHZ
fCLK_Q	CLK_Q 输出频率		25	-	220	MHZ
Duty_OUT	PLL 输出频率占空比		40	-	60	%
tLOCK	PLL 锁相时间		-	20	-	us
Jitter	Phase RMS jitter	VCO@300MHz	-	47	-	ps
	Period RMS jitter	VCO@300MHz	-	3.3	-	
	Cycle to Cycle RMS jitter	VCO@300MHz	-	3.4	-	
IDD	禁止状态下的静态电流		-	0	10	uA
	使能状态下的动态电流	PLL1VCO=220MHz	-	250	-	uA
		PLL1PCLK=220MHz	-	560	-	uA
		PLL1QCLK=220MHz	-	380	-	uA
Vop	工作电压		1.08	1.2	1.32	V
Top	工作温度		-40	25	125	°C

5.3.13. EMC 特性

表 5-27 EMS 特性

符号	参数	条件	级别/分类
Vfesd	施加在任意 I/O 引脚并导致功能性故障的极限电压	VDD = 3.3 V, LQFP176, TA = +25 °C, fHCLK = 220 MHz, 符合 IEC 61000-4-2 标准	tbd

符号	参数	条件	级别/分类
Vftb	通过 100 pF 电容施加在 VDD 和 VSS 引脚上并导致功能性故障的突发快速瞬变电压	VDD = 3.3 V, LQFP176, TA = +25°C, fHCLK = 220 MHz 符合 IEC61000-4-2 标准	tbd

表 5-28 EMI 特性

符号	参数	条件	监测频段	最大值与[fXTH/fCPU]	单位
				8/250 MHz	
SEMI	峰值	VDD=3.6 V, TA=25°C, LQFP176, 符合 IEC61967-2 标准	0.1~30MHz	tbd	dBμV
			30~130MHz	tbd	
			130MHz~1GHz	tbd	
			1~2GHz	tbd	
			SAE EMI 级别	tbd	-

5.3.14. IO 端口特性

表 5-29 TC 类型 I/O 静态特性 (VDD=3.3V)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平	2.97V ≤ VDD ≤ 3.6V	-	-	0.2*VDD	V
VIH	输入高电平	2.97V ≤ VDD ≤ 3.6V	0.8*VDD	-	-	V
VOL	输出低电压	2.97 V ≤ VDD ≤ 3.6 V 驱动能力配置为 7 Io=26mA	-	-	0.1*VDD	V
VOH	输出高电压	2.97 V ≤ VDD ≤ 3.6 V 驱动能力配置为 7 Io=26mA	0.9*VDD	-	-	V
RPU	弱上拉等效电阻	VDD=3.3V	-	58	-	kΩ
RPD	弱下拉等效电阻	VDD=3.3V	-	58	-	kΩ
Vhys	输入迟滞	VDD=3.3V	-	0.2	-	V
Ileak	输入泄漏电流	VSS ≤ VIN ≤ VDD	-1	-	1	uA
Freq	I/O 频率	CL=30pF, VDD>2.97V	-	-	99	MHz
		CL=10pF, VDD>2.97V	-	-	165	MHz
Io	输出电流	VDD=3.3V, 配置 0 VOL < 0.1*VDD, VOH > 0.9*VDD	-	3	-	mA
		VDD=3.3V, 配置 1	-	6	-	mA
		VDD=3.3V, 配置 2	-	9	-	mA
		VDD=3.3V, 配置 3	-	12	-	mA

符号	参数	条件	最小值	典型值	最大值	单位
		VDD=3.3V, 配置 4	-	15	-	mA
		VDD=3.3V, 配置 5	-	18	-	mA
		VDD=3.3V, 配置 6	-	21	-	mA
		VDD=3.3V, 配置 7	-	24	-	mA
CIO	I/O 引脚电容		-	5	-	pF

表 5-30 TC 类型 I/O 静态特性 (VDD=1.8V)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平	$1.7V \leq VDD \leq 1.92V$	-	-	$0.2*VDD$	V
VIH	输入高电平	$1.7V \leq VDD \leq 1.92V$	$0.8*VDD$	-	-	V
VOL	输出低电压	$1.7V \leq VDD \leq 1.92V$ 驱动能力配置为 7 $I_o=11mA$	-	-	$0.1*VDD$	V
VOH	输出高电压	$1.7V \leq VDD \leq 1.92V$ 驱动能力配置为 7 $I_o=11mA$	$0.9*VDD$	-	-	V
RPU	弱上拉等效电阻	VDD=1.8V	-	150	-	k Ω
RPD	弱下拉等效电阻	VDD=1.8V	-	150	-	k Ω
Vhys	输入迟滞	VDD=1.8V	-	0.2	-	V
Ileak	输入泄漏电流	$VSS \leq V_{IN} \leq VDD$	-1	-	1	μA
Freq	I/O 频率	CL=30pF, VDD>2.97V	-	-	70	MHz
		CL=10pF, VDD>2.97V	-	-	110	MHz
I _o	输出电流	VDD=1.8V, 配置 0 VOL < 0.1*VDD, VOH > 0.9*VDD	-	4	-	mA
		VDD=1.8V, 配置 1	-	5	-	mA
		VDD=1.8V, 配置 2	-	6	-	mA
		VDD=1.8V, 配置 3	-	7	-	mA
		VDD=1.8V, 配置 4	-	8	-	mA
		VDD=1.8V, 配置 5	-	9	-	mA
		VDD=1.8V, 配置 6	-	10	-	mA
		VDD=1.8V, 配置 7	-	11	-	mA
CIO	I/O 引脚电容		-	5	-	pF

表 5-31 FT 类型 I/O 静态特性 (VDD=3.3V)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平	$2.97V \leq VDD \leq 3.6V$	-	-	$0.2*VDD$	V
VIH	输入高电平	$1.7V \leq VDD \leq 3.6V$	$0.8*VDD$	-	-	V
VOL	输出低电压	$2.97V \leq VDD \leq 3.6V$	-	-	$0.1*VDD$	V
VOH	输出高电压	$1.7V \leq VDD \leq 3.6V$	$0.9*VDD$	-	-	V
RPU	弱上拉等效电阻		-	59	-	k Ω
RPD	弱下拉等效电阻		-	59	-	k Ω
Vhys	输入迟滞	VDD=3.3V	-	0.09	-	V
Ileak	输入泄漏电流	$VSS \leq VIN \leq VDD$	-	-	1	μ A
Freq	I/O 频率	CL=30pF, VDD>2.97V	-	-	80	MHz
		CL=10pF, VDD>2.97V	-	-	140	MHz
Io	输出电流	VDD=3.3V, 配置 0 VOL < 0.1*VDD, VOH > 0.9*VDD	-	2	-	mA
		VDD=3.3V, 配置 1	-	4	-	mA
		VDD=3.3V, 配置 2	-	6	-	mA
		VDD=3.3V, 配置 3	-	8	-	mA
		VDD=3.3V, 配置 4	-	9	-	mA
		VDD=3.3V, 配置 5	-	10	-	mA
		VDD=3.3V, 配置 6	-	12	-	mA
		VDD=3.3V, 配置 7	-	14	-	mA
CIO	I/O 引脚电容		-	5	-	pF

表 5-32 FT_5 类型 I/O 静态特性 (VDD50=5V)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平	$2.97V \leq VDD \leq 3.6V$ $4.5V \leq VDD50 \leq 5.5V$	-	-	$0.2*VDD$	V
VIH	输入高电平	$2.97V \leq VDD \leq 3.6V$ $4.5V \leq VDD50 \leq 5.5V$	$0.8*VDD$	-	-	V
VOL	输出低电压	$2.97V \leq VDD \leq 3.6V$ $4.5V \leq VDD50 \leq 5.5V$ 5V 驱动使能 Io=11mA	-	-	$0.1*VDD50$	V
VOH	输出高电压	$2.97V \leq VDD \leq 3.6V$ $4.5V \leq VDD50 \leq 5.5V$ 5V 驱动使能 Io=11mA	$0.8*VDD50$	-	-	V
RPU	弱上拉等效电阻	5V 驱动使能时, 上下拉电阻失效	-	59	-	k Ω
RPD	弱下拉等效电阻	5V 驱动使能时, 上下拉电阻失效	-	59	-	k Ω

符号	参数	条件	最小值	典型值	最大值	单位
V _{hys}	输入迟滞	VDD=3.3V	-	0.05	-	V
I _{leak}	输入泄漏电流	VSS ≤ VIN ≤ VDD	-1	-	1	uA
Freq	I/O 频率	CL=30pF, VDD50=5±0.5V	-	-	80	MHz
		CL=10pF, VDD50=5±0.5V	-	-	120	MHz
t _r	上升沿时间	VDD50=5±0.5V	-	-	10	ns
t _f	下降沿时间	VDD50=5±0.5V	-	-	10	ns
I _{OL}	输出 0 时驱动电流	VDD50=5V, VOL<0.5V	10	-	-	mA
I _{OH}	输出 1 时驱动电流	VDD50=5V, VOH>4.5V	10	-	-	mA
I _{VCC0}	输出 0 静态电流	VDD50=5V, VOL<0.5V	-	0.1	10	uA
I _{VCC1}	输出 1 静态电流	VDD50=5V, VOH>4.5V	-	370	450	uA
C _{IO}	I/O 引脚电容		-	5	-	pF

5.3.15. NRST 引脚特性

表 5-33 RSTN 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	输入低电平	2.97V ≤ VDD ≤ 3.6V	-	-	0.2*VDD	V
V _{IH}	输入高电平	2.97V ≤ VDD ≤ 3.6V	0.8*VDD	-	-	V
V _{hys}	输入迟滞		-	0.2	-	V
R _{PU}	弱上拉等效电阻		-	25	-	kΩ
t _{NRST}	NRST 输入脉冲		200	-	-	ns

5.3.16. EXTI 输入特性

表 5-34 EXTI 输入特性

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	事件控制器有效脉宽长度	-	20	-	-	ns

5.3.17. DLYB 延时模块特性

表 5-35 Delay block 特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{BASE}	基本延迟		-	1700	-	ps
t _{INIT}	初始延迟(initial delay)		-	500	-	ps

符号	参数	条件	最小值	典型值	最大值	单位
t Δ	延迟步长(delay step)		-	50	-	ps

5.3.18. ADC 特性

除非特别说明，否则表中给出的 ADC 参数均在通用工作条件表中汇总的环境温度、fHCLK 频率和 VDDA 电源电压条件下测试得出

表 5-36 12-bit ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	工作电压	VDD=VDDA	2.97	3.3	3.6	V
VREF+(1)	正端输入电压		1.62	-	VDDA	
VREF-	负端输入电压		VSSA	VSSA	VSSA	
fADC	ADC 时钟频率		0.14	-	75	MHZ
f _s	采样率	12bit 分辨率、采样 3 周期	0.003	-	5	MSPS
tTRIG	外部触发器周期	分辨率= 12 bits	-	24	-	1/fADC
VAIN	转换电压范围		0	-	VREF+	V
VCMIV	共模输入电压		0	-	VREF+	
RAIN(2)	外部输入阻抗	fADC=75MHZ Resolution=12bits 采样周期 3	-	42	-	Ω
RADC	采样开关电阻		-	50	-	
CADC	内部采样保持电容		-	5	-	pF
tADCVREG_STUP	ADC LDO 启动时间		-		6	us
tSTAB	上电时间	LDO 已启动	-	0.78	-	
tOFF_CAL	偏移校准时间		-	26.5	-	
tlat	注入触发器转换延迟		-	0.85	-	
tlatr	常规触发器转换延迟		-	0.16	-	
tS	采样时间	fADC=75MHZ	0.0333		8.54	
tCONV	总转换时间 (包括采样时间)	fADC=75MHZ Resolution=12bits	0.25		8.7	
IDDA_SE(ADC)	单端模式下 VDDA 和 VREF 上的 ADC 消耗	fS=1 Msps	-	126	-	uA
IDDA_D(ADC)	差分模式下 VDDA 和 VREF 上的 ADC 消耗	fS=1 Msps	-	148	-	
IDD(ADC)	VDD 上的 ADC 消耗	fS=1 Msps	-	1960	-	

(1) 根据封装的不同，VREF+可以内部连接到 VDDA，VREF-可以连接到 VSSA。

(2)外部输入阻抗计算公式:

$$R_{AIN} = \frac{T_s}{f_{ADC} * C_{ADC} * \ln(2^{N+Y})} - R_{ADC}$$

表 5-37 ADC 精度(动态参数分单端和差分)

符号	参数	条件	最小值	典型值	最大值	单位
ET	总未调整误差	HCLK=225MHZ, ADCCLK=45MHZ, 采样周期 30, 分辨率 12bit, 采样率 1Msps, 单端通道	-	3	-	LSB
EO	偏移误差		-	3	-	
EG	增益误差		-	3	-	
ED	微分线性误差	HCLK=225MHZ, ADCCLK=14.0625MHZ, 采样周 期 640, 分辨率 12bit, 采样率 21Ksps, 单端通道	-	±1.5	-	LSB
EL	积分线性误差		-	±1	-	
ENOB	有效位数	HCLK=225MHZ, ADCCLK=45MHZ, 采样周期 30, 分辨率 12bit, 采样率 1Msps	-	单端: 10.6 差分: 10.8	-	Bits
SINAD	信号与噪声和失真比		-	单端: 65.3 差分: 66.5	-	dB
SNR	信噪比		-	单端: 65.3 差分: 66.5	-	
THD	总谐波失真		-	单端: -73.2 差分: -77.6	-	

5.3.19. 温度传感器特性

表 5-38 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
TL	VSENSE 相对于温度的线性度	-	±1	±2	°C
Avg_Slope	平均斜率	-	2.55	2.57	mV/°C
V25(1)	25°C时的电压, VDDA=3.0V	761	768	777	V
tSTART	启动时间	-	1.3	-	us
TS_temp	读取温度时 ADC 采样时间	-	4.9	7	
Isens	温度传感器功耗	-	130	-	uA

(1) 在 VDDA=3.3 V±10 mV 时测量。V25 实测值保存在 NVR(EFUSE1)中。

表 5-39 温度传感器校准值

符号	参数	条件	存储器地址
TS_CAL1	温度传感器采集的原始数据值	VDDA=3.0V, TA=25°C	EFUSE1, 偏移地址 0xC0, 16bit

5.3.20. VBAT 监测特性

表 5-40 VBAT 监测特性

符号	参数	最小值	典型值	最大值	单位
R	VBAT 的电阻桥	-	237	-	kΩ
Q	VBAT 测量的比值	-	0.25	-	-
Er	Q 的误差	-	-0.3/+0.2	-	%
tS_vbat	读取 VBAT 输入时的 ADC 采样时间	-	2.12	-	us
VBAT_H	VBAT 监测的最高电压	-	-	3.6	V
VBAT_L	VBAT 监测的最低电压	1.2	-	-	

5.3.21. VREFBUF 特性

表 5-41 VREFBUF 参考电压缓冲器特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟供电电压		2.97	3.3	3.6	V
VREFBUF_OUT	电压参考缓冲器输出	VRS<1:0> = 11	-	2.5	-	
		VRS<1:0> = 10	-	2.048	-	
		VRS<1:0> = 01	-	1.8	-	
		VRS<1:0> = 00	-	1.5	-	
TRIM	微调步长分辨率		-	±0.2	-	%
CL	负载电容		-	1	-	uF
esr	CL 的等效串联电阻		-		2	Ω
Iload	静态负载电流	VCC = 1.7V Tj = -40°C~125°C	-	-	8	mA
Iline_reg	线性调整率	VCC = 1.7V~3.6V ILOAD = 1mA	-	0.684	-	mV/V
Iload_reg	负载调整率	ILOAD = 0.5~4mA	-	1.158	-	mV/mA
Tcoeff	温度系数		-	79.4	-	ppm
PSRR	电源抑制比	f = 1HZ ILOAD = 1mA	-	-69	-	dB
tSTART	启动时间	VSC<1:0> = 00	-	216	-	us
Iinrush	启动阶段最大电流		-	10	-	mA
IDDA(VREFBUF)	VDDA 的 VREFBUF 消耗	ILOAD = 0	-	13	-	uA

5.3.22. 电压 DAC 特性

表 5-42 DAC 特性

符号	参数	条件		最小值	典型值	最大值	单位
VDDA	模拟工作电压			2.97	-	3.6	V
VREF+	正基准源电压			1.62	-	VDDA	
VREF-	负基准源电压			-	VSSA	-	
RL	负载电阻	DAC output buffer ON	Connected to VSSA	5	-	-	kΩ
			Connected to VDDA	25	-	-	
RO	输出阻抗	DAC output buffer OFF		12.5	14.4	16.3	
Rbon	输出阻抗 (SH 模式且 buffer on)	VDDA=2.97V		-	-	1.8	kΩ
Rboff	输出阻抗 (SH 模式且 buffer off)	VDDA=2.97V		-	-	17.9	kΩ
CL	电容负载	DAC output buffer OFF		-	-	50	pF
CSH		Sample and Hold mode		-	0.1	1	uF
VDAC_OUT	DAC 输出电压值	DAC output buffer ON		0.2	-	VREF+-0.2	V
		DAC output buffer OFF		0	-	VREF+	
tSEETING	建立时间 (从最低位跳变到最高位的±0.5LSB, ±1LSB, ±2LSB, ±4LSB, ±8LSB)	Normal mode, DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	±0.5LSB	-	1.36	2.06	us
			±1LSB	-	1.33	2.02	
			±2LSB	-	1.3	1.98	
			±4LSB	-	1.27	1.94	
			±8LSB	-	1.23	1.91	
		Normal mode, DAC output buffer OFF, ±1LSB CL= 10 pF		-	1.4	1.6	
tWAKEUP	唤醒时间 (从 off 状态到 DAC 输出稳定到目标值的±1LSB)	Normal mode, DAC output buffer ON, CL ≤ 50 pF, RL = 5 kΩ		-	4.2	6.5	us
		Normal mode, DAC output buffer OFF, CL ≤ 10 pF		-	1.8	2.1	
PSRR	电源抑制比	Normal mode, DAC output buffer ON, CL ≤ 50 pF, RL = 5 kΩ		-	-79	-47	dB
Tw_To_Tw	两个连续写入码字的最小间隔时间 (变化 1LSB)	RL≥5KΩ, CL≤50pF		-	-	1	us
		CL≤10pF		-	-	1	

符号	参数	条件	最小值	典型值	最大值	单位
tSAMP	SH 模式下的采样时间 (最大跳变且稳定在±1LSB)	连输出 pin, DAC buffer on, CSH=100nF	-	0.7	1.8	ms
		连输出 pin, DAC buffer off, CSH=100nF	-	12.5	15	
		内部输出, DAC buffer off, 内部电容 7pF	-	1.1	1.4	us
Istb	Standby 模式功耗	VDD12 下电, VDDA 功耗	-	10	132	nA
		VDD12 下电, VREFP 功耗	-	0.1	10	
Ileak	Output leakage current		-	-	10	nA
Clint	内部 SH 电容		-	7	-	pF
tTRIM	Middle code offset trim time 码字 trim time	DAC buffer on	50	-	-	us
Voffset	trim step	VREF+ = 3.6 V	-	1515	-	uV
		VREF+ = 1.8 V	-	745	-	
IDDA(DAC)	DAC 功耗 (电源 VDDA)	DAC output buffer ON	无负载, 中间码字(0x800)	-	348	597
			无负载, 最大码字(0xF1C)	-	464	722
		DAC output buffer OFF	无负载, 中间码字(0x800)	-	0.9	1.2
		Sample and Hold mode, CSH= 100 nF		-	$348 \cdot TON / (TON + TOFF)$	$722 \cdot TON / (TON + TOFF)$
IDDV(DAC)	DAC 功耗 (VREF+)	DAC output buffer ON	无负载, 中间码字(0x800)	-	131	170
			无负载, 最大码字(0xF1C)	-	247	321
		DAC output buffer OFF	无负载, 中间码字(0x800)	-	123	160
		Sample and Hold mode, buffer ON, CSH= 100 nF (最差情况)		-	$131 \cdot TON / (TON + TOFF)$	$321 \cdot TON / (TON + TOFF)$
		Sample and Hold mode, buffer OFF, CSH= 100 nF (最差情况)		-	$123 \cdot TON / (TON + TOFF)$	$160 \cdot TON / (TON + TOFF)$

表 5-43 DAC 精度

符号	参数	条件	最小值	典型值	最大值	单位
DNL	微分非线性误差	DAC output buffer ON	-	-	±1	LSB
		DAC output buffer OFF	-	-	±1	

符号	参数	条件	最小值	典型值	最大值	单位	
	Monotonicity	12 bits	-	-	-	-	
INL	积分非线性误差	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±4	LSB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL	-	-	±2		
Offset	失调误差 @0x800	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±23	LSB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL	-	-	±1		
Offset1	失调误差 @0x001	DAC output buffer OFF, CL ≤ 50 pF, no RL	-	-	±1	LSB	
OffsetCal	Offset error at code 0x800 after factory calibration	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	VREF+ = 3.6V	-	-	±5	LSB
			VREF+ = 1.8V	-	-	±7	
Gain	增益误差	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±0.2	%	
		DAC output buffer OFF, CL ≤ 50 pF, no RL	-	-	±0.1		
TUE	未校准偏移	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±30	LSB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL	-	-	±3		
TUECal	校准后偏移	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±2		
SNR	信噪比	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ, (??1 kHz, BW = 500 KHz)	-	74.2	-	dB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL, (??1 kHz, BW = 500 KHz)	-	75.3	-		
THD	总谐波失真	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ, (1 kHz)	-	-77.4	-	dB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL, (1 kHz)	-	-76.5	-		
SINAD	信号与噪声+谐波失真	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ, (1 kHz)	-	72.5	-	dB	
		DAC output buffer OFF, CL ≤ 50 pF, no RL, (1 kHz)	-	72.8	-		
ENOB	有效位数	DAC output buffer ON, CL ≤ 50 pF, RL ≥ 5 kΩ, (1 kHz)	-	11.8	-	bits	
		DAC output buffer OFF, CL ≤ 50 pF, no RL, (1 kHz)	-	11.8	-		

5.3.23. 电流 DAC 特性

表 5-44 IDAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
Tj	工作结温		-40	25	125	°C
VDD12	工作电压		1.08	1.2	1.32	V
VDDA	模拟电源		2.97	3.3	3.6	V
AVDD5	模拟电源 (外部)		4.5	5	5.5	V
Resolution	分辨率		-	10	-	bit
FS	采样率		-	50	-	KSPS
INL	积分非线性误差		-	±1	-	LSB
DNL	微分非线性误差		-	±1	-	LSB
IOUT	满量程电流值		-	31	-	mA
VOUT	输出电压		2	-	5.5	V
IAGND	模拟地电流		-	32	-	mA
IAVDD33	AVDD33 功耗		-	50	-	uA
ISTB	Standby 功耗	VDD12 下电, VDDA 功耗	-	1	21	nA

5.3.24. COMP 特性

表 5-45 COMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	工作电压		2.97	3.3	3.6	V
VIN	输入电压		0	-	VDDA	V
VREF	比较器内部基准电压		1.17	1.187	1.206	V
VOS_VREF	基准电压失调		-	±25	-	mV
IDDA_CRV	分压电路功耗	CRV_SEL=0 (分压源 VDDA)	-	1.2	1.6	uA
		CRV_SEL=1 (分压源 VREF)	-	2.6	3	uA
tSTART_VREF	参考电压建立时间		-	-	2.5	us
tSTART	比较器启动时间		-	-	0.5	us
td	比较器延迟时间		-	35	50	ns
Vos	比较器失调电压	TRIM_HYS<2:0>=000	-	-	±6	mV
Vhys	迟滞窗口	TRIM_HYS<2:0>=100	-	15	-	mV
		TRIM_HYS<2:0>=101	-	25	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
		TRIM_HYS<2:0>=110	-	35	-	mV
		TRIM_HYS<2:0>=111	-	44	-	mV
IDDA	比较器功耗		-	41.5	-	uA

5.3.25. TKEY 特性

表 5-46 TKEY 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDD	输入电压		2.97	3.3	3.6	V
I _{sd}	关断时的静态电流		-	6.5	-	nA
I _{standby}	STANDBY 模式电流		-	6.6	44	nA
VLDO	LDO 输出充电电压	TKVCS<1:0>=00	-	1.54	-	V
		TKVCS<1:0>=01	-	2	-	V
		TKVCS<1:0>=10	-	2.5	-	V
		TKVCS<1:0>=11	-	VCC	-	V
VREF	比较器比较电压	TKVLS<1:0>=00	-	0.25*VLDO	-	V
		TKVLS<1:0>=01	-	0.5*VLDO	-	V
		TKVLS<1:0>=10	-	0.75*VLDO	-	V
		TKVLS<1:0>=11	-	VBG	-	V
TKPH	电容充放电频率	TKMS=0	0.05	1	2	MHZ
		TKMS=1	-	1	2	MHZ
TKSAMP	采样频率	TKMS=0	-	100	200	MHZ
CP_MAX	CP 最大值	TKMS=0	5	10	200	pF
		TKMS=1	-	-	50	pF
Δ CS_MIN	可检测的最小输入电容变化量	TKMS=0	0.1	-	-	pF
R _{in}	通道输入电阻	CP=10pF,TKPH=1M	-	-	3	KΩ
T _{set}	内部基准建立时间		-	-	10	uS
T _{pc}	预充完成时间	TKMS=0,TKPCCR=1	-	3	-	uS
ICC	TKMOS=0 的平均工作电流	CP=10pF	-	56	-	uA
		CP=50pF	-	70	-	uA
	TKMOS=1 的平均工作电流	CP=10pF	-	63	-	uA
C _{ext}	外部电容	TKMS=1	-	20	-	nF
DUTY	输出占空比		-	60	-	%

符号	参数	条件	最小值	典型值	最大值	单位
Cshield	屏蔽通道电容		-	-	20	pF

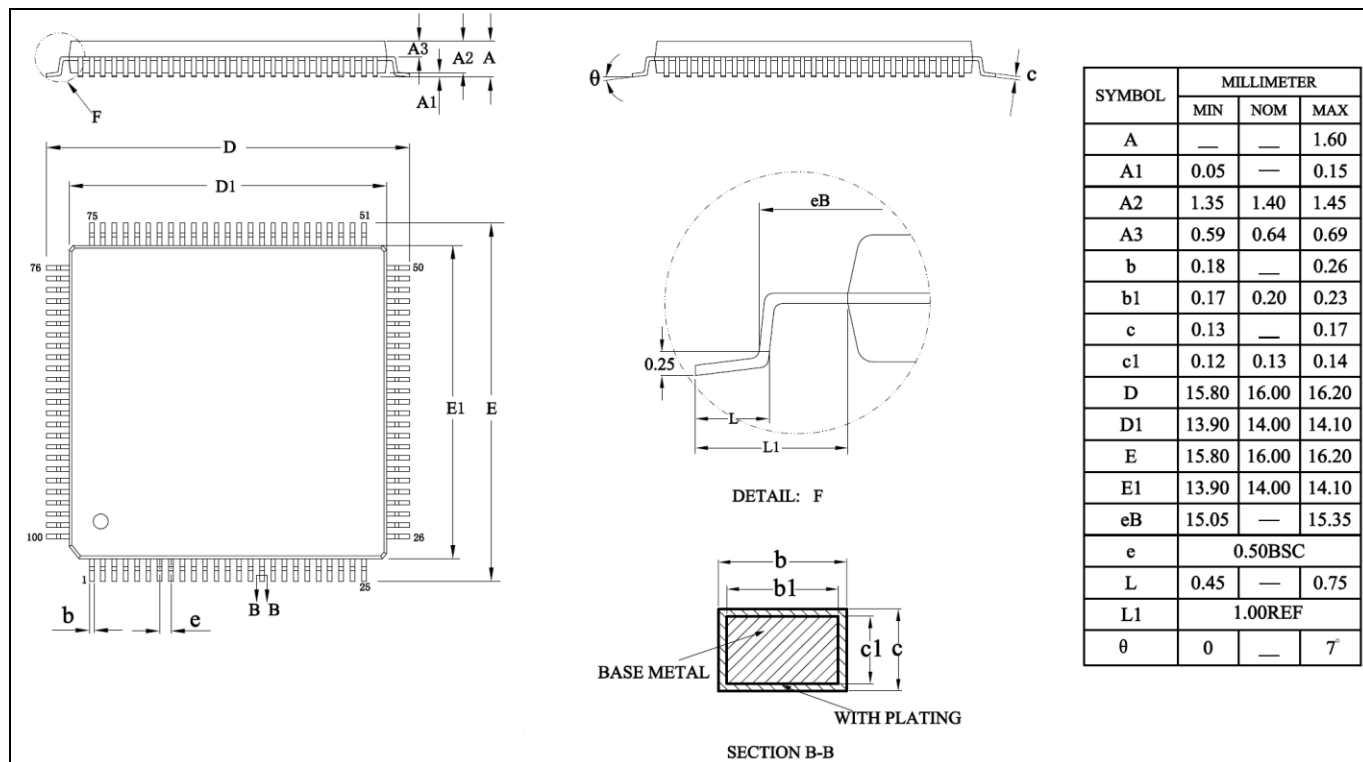
5.3.26. LDO12 特性

表 5-47 内置 LDO12 特性

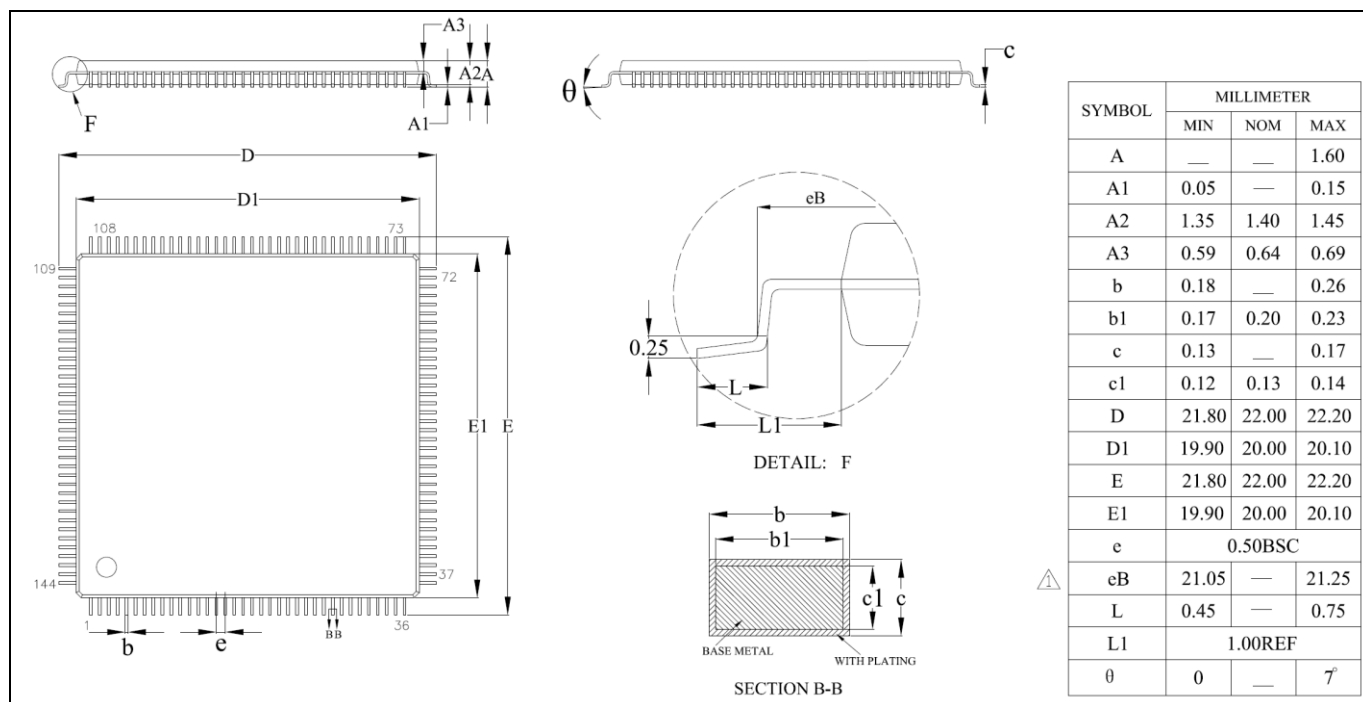
符号	参数	条件	最小值	典型值	最大值	单位
VDD	工作电压		2.97	3.3	3.6	V
Iop	工作电流	ILOAD=0	-	9.4	-	μA
		ILOAD=60mA	-	108	-	μA
		ILOAD=120mA	-	213	-	μA
Ipdpd	关断电流		-	4	-	nA
VDD12	输出电压		1.08	1.2	1.32	V
tSET	PD 后建立时间	RL=120Ω, CL=4.4μF	-	-	43	us
Vline	线性调整	VCC=1.6V~3.6V	-	1.8	-	mV
Vload	负载调整	ILOAD=1mA~120mA	-	27.4	-	mV
Vod	过冲电压	CL=4.4μF, 输出电阻 10Ω切换至 300Ω, 切换时间 100ns	-	20	100	mV
Vud	欠压	CL=4.4μF, 输出电阻 300Ω切换至 10Ω, 切换时间 100ns	-	20	40	mV
Iload_max	最大负载电流	VCC=1.7V, Tj=-40°C~125°C	-		158	mA
Ilimit	限流阈值		-	220	-	mA
Tcoeff	温度系数	VDD=3.3V, Tj=-40°C~125°C	-	51	-	ppm
Cout	输出电容		-	4.4	-	uF
PSRR	电源抑制	f=1Hz	-	-51	-	dB
		f=1MHz	-	-71	-	dB

6. 封装信息

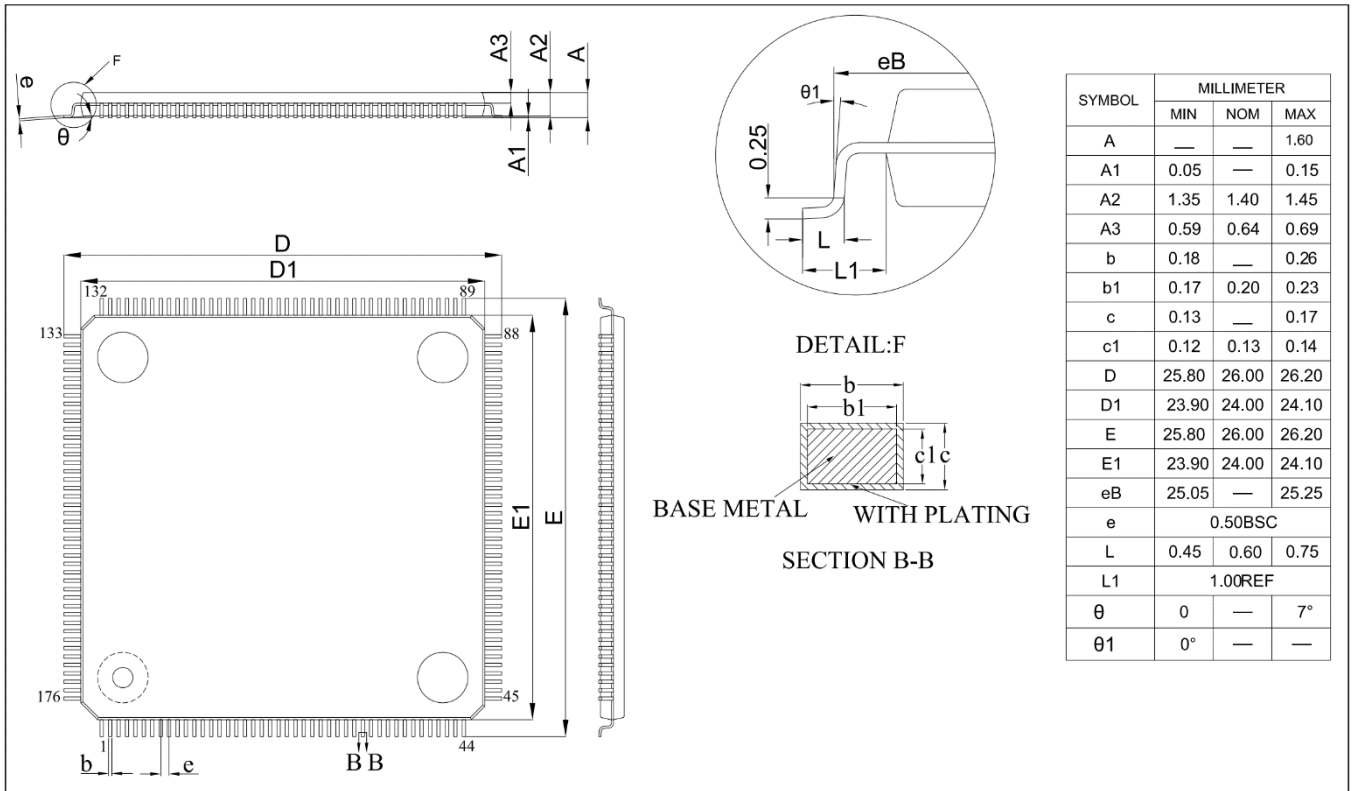
6.1. LQFP100 (14x14mm, 0.5mm pitch)



6.2. LQFP144 (20x20mm, 0.5mm pitch)



6.3. LQFP176 (24x24mm, 0.5mm pitch)



6.4. 封装热阻特性

芯片最大结温 T_{j_max} ，可以通过如下公式计算：

$$T_{j_max} = T_{a_max} + (P_{d_max} \times \Theta_{ja})$$

这里：

T_{a_max} 表示最高环境温度，单位：°C

Θ_{ja} 表示封装节点与环境之间的热阻，单位：°C/W

P_{d_max} 表示芯片内部最大功耗 P_{int_max} 和 IO 最大功耗 P_{io_max} 的总和，单位：W

表 6-1 热阻系数

符号	描述	参数	值	单位
Θ_{ja}	结点-环境 热阻	LQFP100 (14x14mm, 0.5mm pitch)	45	°C/W
		LQFP144 (20x20mm, 0.5mm pitch)	43.7	
		LQFP176 (24x24mm, 0.5mm pitch)	43	

注：芯片热阻系数和芯片大小、框架结构、框架基岛大小、直接材料导热系数、PCB 板的设计、安装外置散热片、产品工作环境风速、产品工作功率都有关系，以上数据仅供一般参考。

参考文档：《JESD51-2 Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)》，可从 www.jedec.org 获取。

7. 订货信息

订货编码	封装	SRAM(KB)	FLASH(MB)	SDRAM(MB)	PSRAM(MB)	温度范围	包装	SPQ
ACM32H528VIT7-G	LQFP100	420	2	-	-	-40°C~105°C	托盘	
ACM32H538VMT6-TM	LQFP100	420	4	-	8	-40°C~85°C	托盘	
ACM32H528ZIT7-G	LQFP144	420	2	-	-	-40°C~105°C	托盘	
ACM32H538ZMT6-TM	LQFP144	420	4	-	8	-40°C~85°C	托盘	
ACM32H528IIT7-G	LQFP176	420	2	-	-	-40°C~105°C	托盘	

8. 版本历史

版本	日期	作者	描述
V1.0	2023-06-15	Aisinochip	初始版
V1.1	2024-08-06	Aisinochip	补充电气特性
V1.2	2024-10-10	Aisinochip	更新电气特性参数 WKUP0-4 改为 WKUP1-5 添加型号: ACM32H528VIT7-G、ACM32H528ZIT7-G

9. 版权声明

本文档的所有部分，其著作权归上海航芯电子科技股份有限公司（简称航芯科技）所有，未经航芯科技授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，航芯科技及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

联系我们

公司：上海航芯电子科技股份有限公司

地址：上海市闵行区合川路 2570 号科技绿洲三期 2 号楼 702 室

邮编：200241

电话：+86-21-6125 9080

传真：+86-21-6125 9080-830

Email: service@AisinoChip.com

Website: www.AisinoChip.com